

行政院國家科學委員會專題研究計畫 成果報告

多重電壓島佈局環境之 X-結構時脈繞線合成方法及結合可 製造性設計之應用研究(II) 研究成果報告(精簡版)

計畫類別：個別型
計畫編號：NSC 99-2221-E-343-007-
執行期間：99年08月01日至100年07月31日
執行單位：南華大學資訊工程學系

計畫主持人：蔡加春

計畫參與人員：碩士班研究生-兼任助理人員：林虹廷
大專生-兼任助理人員：林啟發
博士班研究生-兼任助理人員：郭仲傑

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫涉及專利或其他智慧財產權，1年後可公開查詢

中華民國 100 年 08 月 19 日

多重電壓島佈局環境之 X-結構時脈繞線合成方法及結合可製造性設計之應用研究(II)

X-Architecture Clock Routing Synthesis Associated with Design for Manufacturability to the Application of Multi-Voltage Island Environment (II)

計畫類別：個別型計畫

國科會計畫編號：NSC 99-2221-E-343-007

執行期限：99 年 8 月 1 日至 100 年 7 月 31 日

主持人：南華大學資工系 蔡加春教授

摘要--- 現今的VLSI設計環境中，電壓島的佈局環境已非常普及，尤其是多電壓島的考量更可節省功率消耗。本論文主要在積體電路設計中之多電壓島佈局環境下完成X時脈樹建置，同時考量對每一個穿孔插入雙重穿孔的可能性，增加晶片製程的可靠度，但可能會增加一點點功率消耗及時脈延遲時間；最後，透過各種電壓島的連接排列組合和插入位準轉換的排列組合，找出最小的功率消耗，應用於多電壓島之不同區塊配置、不同電壓源的佈局環境之X時脈樹分工與整合建置。實驗10個標準例子之結果顯示，插入雙穿孔後之時脈樹建置較未插入雙穿孔者在消耗功率和延遲時間平均分別增加了17.88 %與0.04%；多個電壓島的X時脈樹較單一電壓島在平均功率消耗上減少3.56%，但在延遲時間與執行時間分別增加2.13%與51.56%。

關鍵詞：時脈樹、多重電壓島、功率消耗、雙重穿孔。

Abstract--- In the modern VLSI design environment, the voltage-island placement is a universal technique which can save the power consumption. In this paper, we propose an X-clock tree construction with considering double via insertion for each via as possible for reliability in process. An X-clock tree construction with different combination of multiple voltage islands associates level shifter insertion for minimizing power consumption. Experimental results for 10 benchmarks show that the X-clock tree with considering double vias increases 17.88% and 0.04% in power consumption and clock delay, respectively. The X-clock tree on multi-voltage islands has reductions of 3.56% on average in power consumption than that of one voltage island, but respectively increase 2.13% and 51.56% in clock delay and running time.

Keywords: clock tree, multi-voltage island, power consumption, double via.

1. 前言

隨著高效能晶片的發展，使運作時脈越來越高，且在系統單晶片(system-on a chip)上更整合很多積體電路元件，相對地也大幅提高了晶片整體的功率消耗。而我們常見的電路結構通常提供一個電壓以供此電路運作，但這種方式會造成部分電力的虛耗。在一個積體電路中的各功能元件，實際上需要的電壓並不相同[2]，一般情況下，電壓需求較高的是程序處理單元，而邏輯控制或記憶單元等功能元件所需要的電能則較低，只提供單一電壓等於是強迫讓所有電路以最大電源在工作。

為了降低功率消耗，目前在實體設計環境中，在平面規劃(floorplanning)或佈局規劃(placement)階段時，就已經考量多重電壓(multiple voltages)供應的觀念[3][4][5]，不同的電路模組可由不同的電壓來供應，以降低不必要的功率消耗。如圖1所示為電壓島(voltage islands)的佈局環境，使用多重電壓島情況下，我們將不同區塊A、B和C而分別給予不同電壓值1.0V、1.1V和1.2V。

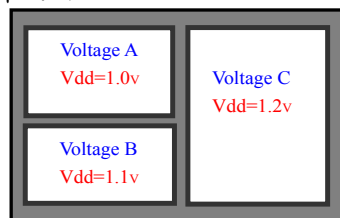


圖 1 電壓島佈局環境

其次，在實體設計環境中，也已經考量在穿孔的鄰近位置上插入冗餘穿孔(redundant via)，穿孔和冗餘穿孔的組合，稱為雙重穿孔(dual via)，插入雙重穿孔可提高繞線的可靠度，防止單穿孔的缺陷或開路而影響晶片效能，甚至晶片失效。

以同步電路(synchronous circuit)的時脈繞線(clock routing)來看，維持零時脈偏移是必然的要求條件，然而在時脈繞線裡插入雙重穿孔，考量因穿孔或雙重穿孔自身所造成的延遲也不能忽視，甚至影響零時脈偏移。

本論文的研究在於擺設好電壓島及，使用我們的 X 時脈繞線方法 DME-XP [1]對每個電壓島建構好時脈樹之下，並考量不同的電壓島連接組合及從低電壓島去驅動高電壓島所需要的插入位準轉換器(level shifter)，同

時在此 X 架構之時脈樹中插入雙重穿孔以提高製程的可靠度，並盡力維持雙重穿孔造成的延遲對零時脈偏移影響最小化，而達到最終之功率最小化。

本篇剩餘各節敘述如下，第二節介紹連線的延遲模型及功率消耗計算，第三節說明位準轉換器的結構，第四節描述單電壓島之 X 架構時脈樹建置，第五節提出多電壓島管理應用於 X 時脈樹之功率最小化演算法，最後做個結論。

2. 連線延遲模型與功率消耗之計算方法

Elmore delay (ED)模型[9]是被廣泛使用的計算連線延遲方式之一，但Elmore的計算式所得出的延遲時間常有估計值過高的失誤，在精確度上有它的限制存在。因此，我們選擇準確度相對較高的FED (Fitted ED)模型[6]做為計算連線延遲的方法。

如圖2所示為一個小元件的輸出電阻去驅動一條線段 i (長度為 l ，寬度為 w) 及負載電容 C_L 之延遲等效電路，其中 r_d 為單位驅動元件之輸出電阻， r 與 c_a 分別為連線之單位電阻與電容，及 c_f 為連線之單位周邊電容。依FED模型尚未考量驅動元件輸出電阻時之線段延遲 d_k (由端點 i 至端點 k) 為：

$$d_k = \sum_{i \in P(k)} r \frac{l_i}{w_i} \left[\frac{(Dc_a w_i + Ec_f) l_i}{2} + FC_{load, i} \right] \quad (1)$$

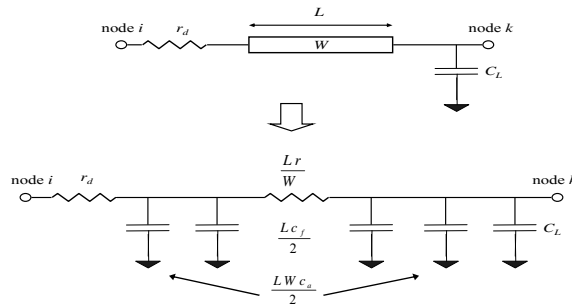


圖2 FED 模型之連線延遲等效電路

如果於線段前端插入位準轉換器(level shifter) 或緩衝器(buffer)元件，公式(1)可擴充為計算該插入元件之延遲時間 d_{LS} 為：

$$d_{LS} = r_d \left[l(Ac_a + Bc_f) + C_{C_L} \right] + r \frac{l}{w} \left[\frac{(Dc_a w + Ec_f) l}{2} + FC_L \right] \quad (2)$$

上述(1)與(2)兩個公式中之 A、B、C、D、E 與 F 代表近似 HSpice 模擬資料的計算係數。

此外，我們在時脈繞線時也要考慮功率消耗的影響，其評估公式[1]為：

$$power = \sum_{\forall e_i} C_{load} F_{clk} V_{dd} \quad (3)$$

上式中變數 F_{clk} 為時脈頻率， V_{dd} 為電源電壓，及 $C_{load, i}$ 為端點 i 的負載電容量。

3. 位準轉換器

電壓島相互連結與組合需要借助位準轉換器(level shifter)做不同電壓的轉移[2][5]。當積體電路設計中使用兩個以上不同電壓的多區塊下，我們需要在區塊間插入 level shifter 才可以順利連結兩個相異電壓的驅動。當低電壓連結到高電壓時，需要插入 level shifter；反之，當高電壓連結低電壓或是相同電壓的情況下，則不須插入 level shifter。

值得關切的是 level shifter 其實可以等效為一個具有大小 b 的緩衝器 B (buffer) 之電路[2]，如圖3所示，其中 bc_B 為輸入電容， T_B 為內部延遲時間，而 r_B/b 為輸出驅動電阻。

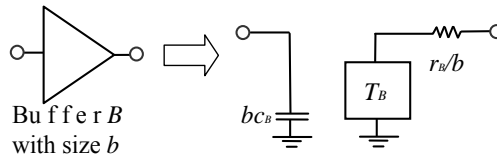


圖3 位準轉換器等效電路

3. 單電壓島之 X 架構時脈樹建置

我們使用自行開發的 DME-XP 演算法作為單電壓島之 X 架構時脈樹建置，同時於後置階段考量線段翻轉 (flip) 可能性以達到最短的連線距離。DME-XP 主要四個步驟分別簡述如下：

A. DPPG (Determine Pair of Points using GMA)

首先採取 GMA 方法尋找端點的配對，建立初始的連線距離規則與順序。GMA 演算法先讀取端點初始值後，把端點依照 X 與 Y 座標值相對最小值的慢慢往上排序，並依順序而尋找端點值與端點值間的最短有效距離作為最佳配對，若已配對過的端點，則不再重複配對。

B. CPXT (Choose Proper X Topology)

接著建立端點與端點間的連線方式，以圖4的配置為例，s1位於左上(LT)而s2位於右上(RT)。先以起始點s1來看，s2的相對位置位於SRB，參考[1]之拓撲表中LT之SRB所得結果是兩端點形成平行四邊形的下或上兩個邊連線；再以起始點s2來看，s1的相對位置則為SLT，參照拓撲表中RT之SLT得到結果為兩端點形成平行四邊形的上或下兩個邊連線。綜合兩者之最佳X繞線為此平行四邊形之下兩個邊連線。

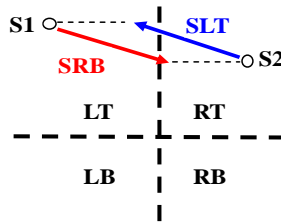


圖 4 兩個端點分區與連線圖例

C. DCTP (Determine Coordinates of Tapping Point)

DCTP在於尋找每條連線的分接點Pt (tapping point)位置，以建立零時脈差異之時脈樹(zero-skew clock tree，簡稱ZST)。如圖5(a)為Pt的位置在端點S1與S2間的延遲可達成平衡；如圖5(b)，若Pt處在另一端點位置仍舊無法達成平衡時，則必須額外插入snaking wire如圖5(c)所示，藉此拉長線段以確保延遲平衡。

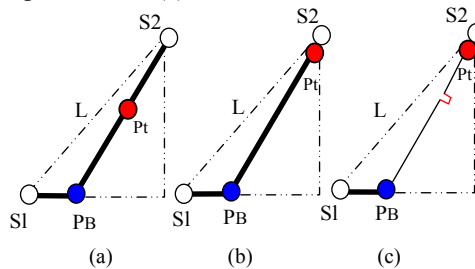


圖 5 tapping point 與 snaking wire

D. DME-X

X架構下的DME演算法主要分為兩步驟，在由下而上(bottom-up)階段，由各個端點擴展開來區域之交集處形成合併線段(merge segments，簡稱ms)，而這些ms本身又會再擴展出一個區域再形成新的ms，ms所指的就是一個內部結點可能被放置的總集合。如圖6所示ms指的是TRR(tile ratio region)區域的核心，ms可能是一個時脈端點或由TRR的交集界線所構成。

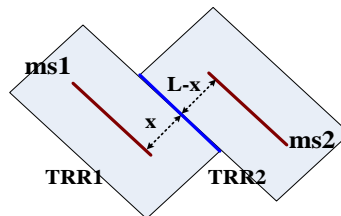


圖 6 ms 的形成

在上而下(top-down)階段，根據 bottom-up所得到的拓撲規則尋找每個內部結點在ms上的明確位置，並依此完成節點的連線，建立完整的時脈樹。如圖7所示以s1與s2為欲連線之兩端點為其中心延展出八角形(octangular region)相交處為ms位置，且ms到s1與s2的delay 必須相等，並將兩個八角形的結合簡化為一個平行四邊形之X繞線，圖中Pt與Pt'即是兩個分接點。

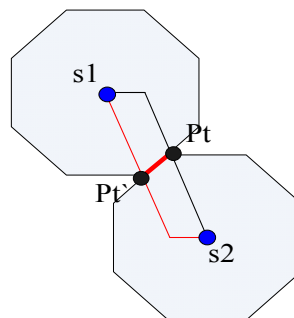


圖 7 分接點與 ms 的關係圖

DME-X繞線方式由每個端點開始由下而上層一層建立ms，再由clock source由上往下依循建立好的順序與連線型態規則而層層往下完成實際連線，最終可完成整個DME-X的繞線。

4 插入雙重穿孔

在一個給定的 X 架構繞線中，所有的穿孔都是單獨存在的(在穿孔旁無任何冗餘穿孔)，為了避免穿孔失效和高阻抗的情形，在不違反設計規則下(design rule)，盡可能在每個穿孔附近插入一個冗餘穿孔，形成雙重穿孔並提升穿孔良率，避免時脈樹損壞。在插入冗餘穿孔並改善穿孔良率後，時脈樹的總穿孔數量將會改變，影響原本的時脈延遲。因此我們透過調整線段尺寸使時脈偏移程度變小。

如圖 8(a)所示為 VW 和 RS 分別代表穿孔寬度和規則距離，圖 8(b)是 X 架構中可供插入冗餘穿孔的位置，這些可供插入的冗餘穿孔位置彼此間隔距離為 RS。表 1 是對應圖 8(b)所描述在 X 架構中供插入冗餘穿孔的位置(由穿孔的十二點鐘方向順時針去描述)。

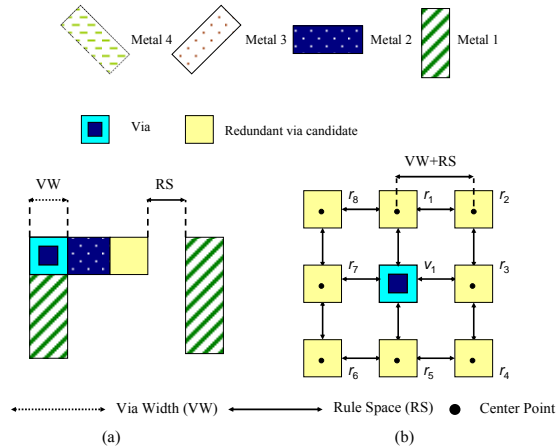


圖 8 (a)穿孔尺寸(VW)和線段間距(RS) (b)插入冗餘穿孔的位置

表 1 對照圖 8(b)之冗餘穿孔候選者的位置描述

| 冗餘穿孔候選者位於穿孔 $v_1(x_1, y_1)$ 之方位 | 冗餘穿孔候選者位於中心 X 座標點 | 冗餘穿孔候選者位於中心 Y 座標點 |
|---------------------------------|-------------------|-------------------|
| r_1 (上方) | x_1 | $y_1 + (VW + RS)$ |
| r_2 (右上方) | $x_1 + (VW + RS)$ | $y_1 + (VW + RS)$ |
| r_3 (右方) | $x_1 + (VW + RS)$ | y_1 |
| r_4 (右下方) | $x_1 + (VW + RS)$ | $y_1 - (VW + RS)$ |
| r_5 (下方) | x_1 | $y_1 - (VW + RS)$ |
| r_6 (左下方) | $x_1 - (VW + RS)$ | $y_1 - (VW + RS)$ |
| r_7 (左方) | $x_1 - (VW + RS)$ | y_1 |
| r_8 (左上方) | $x_1 - (VW + RS)$ | $y_1 + (VW + RS)$ |

如圖 9 所示為插入雙重穿孔於時脈樹建置之流程圖。在給定的 X 架構時脈樹中插入冗餘穿孔，形成雙重穿孔並提升穿孔良率，我們將存在於時脈樹中的穿孔擷取出來。接著，在時脈樹中擺放冗餘穿孔候選者。之後，在不影響形成響雙重穿孔的結果下，分割(partition)時脈樹的繞線於數個區域。我們處理各個區域於下列方法，首先，建立穿孔與冗餘穿孔候選者所建構的二分部圖形和依冗餘穿孔候選者彼此交錯情形所建構的衝突圖形。在衝突圖形中，找出最大群組。將二分部圖形進行配對(match)，在配對的同時，需符合群組的限制。最後，所完成的二分部圖形之配對轉換成雙重穿孔。上述每一個步驟的詳細方法請參考[13]。

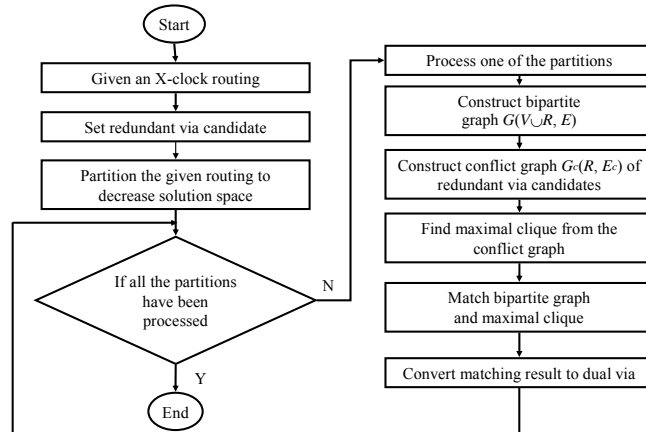


圖 9 插入雙重穿孔於時脈樹建置之流程圖

5. 多電壓島管理之 X 時脈樹功率最小化

多電壓島佈局環境如同一顆晶片劃分為幾個電壓島，每個電壓島可視其不同功能而工作於不同的供應電壓，如此可節省功率消耗，但不影響系統執行效能。因此，可先分工完成每一個電壓島之X時脈樹建置，再給予整合成為系統之X時脈樹建置。如圖10所示為多重電壓島X-時脈樹建置演算法XCTMVI (X-Clock Tree construction on Multi-Voltage Islands)，其方法將分述如下。

Algorithm: XCTMVI ()
Input: Given a set of n voltage-islands and each voltage-island has achieved sub-clock tree construction.
Output: Complete a system clock tree construction with power minimization.

1. Set SV is a set of voltages for supplying multi-voltage islands, then determine the system supply voltage.
2. Construct X-clock tree for each voltage island and set each sub-X-clock tree as the system clock tree's leaf node.
- 3 Find all the orders of n leaf nodes, SL .
- 5 For all element sl_i of SL
- 6 { Calculate LS_i
- 7 Match the objective: $\min_{v_i \in SV, v_j \in LS_j} \{power[LS_j(T(sl_i))]\}$
- 8 }

圖 10 多重電壓島 X-時脈樹建置演算法 XCTMV

A. 電壓島之供應電壓選擇

為達到管理電壓島及消耗功率最小化，假設各電壓島的電壓均可設定與管理，因此在建構系統時脈樹前，須決定系統供應電壓SSV (System Supply Voltage) 作為考量功率消耗最小化，例如將所有的電壓島的供應電壓SV中，取最小的電壓島的供應電壓 sv_i 當作系統供應電壓，其公式如下所示：

$$SSV = \min_{v_i \in SV} \{sv_i\} \tag{4}$$

B. X-時脈樹的分工建置

接著我們採用前述之DME-XP對每個電壓島作個別的X-時脈繞線，如此可獲得 n 個電壓島之個別X時脈樹建置，及以各個電壓島的時脈來源端當作系統時脈樹的葉節點(leaf node)。如圖11所示的例子，三個電壓島的個別時脈來源來當作我們最終所要建構的系統時脈樹的葉節點，分別為葉節點1、葉節點2及葉節點3。

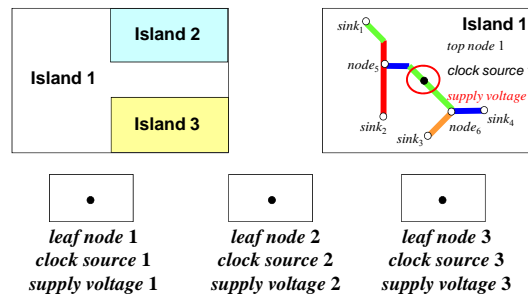


圖 11 各電壓島時脈樹當作系統時脈樹的葉節點

C. X-時脈樹的整合

進一步考量不同電壓組合所帶來的多重電壓島整合時脈繞線的影响，如圖12所示其level shifter使用於低電壓區塊推動高電壓區塊，而圖13所示為兩個端點的連結中插入level shifter後之等效電路。

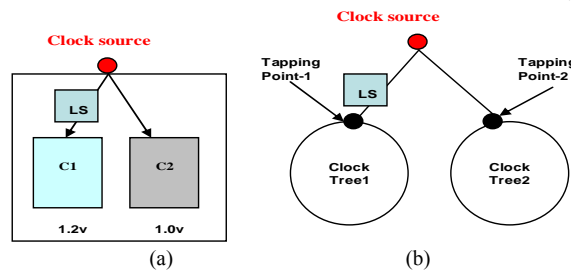


圖 12 插入 Level shifter 結構圖

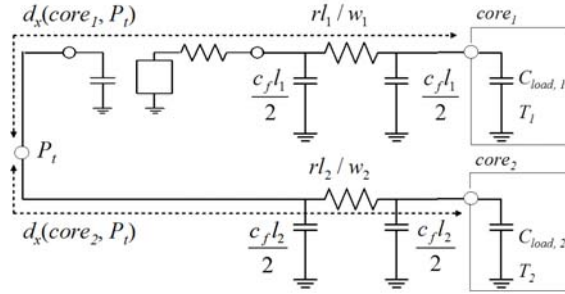


圖 13 插入 Level shifter 之等效電路

時脈樹建構是基於完全二元樹的方式，不同葉節點的排列組合都會影響最後時脈樹的效能，如果有 n 個葉節點，就會有 $n!$ 的排列組合。依不同葉節點的排列組合之二元樹 $T(sl_i)$ ，可找出插入位準轉換器的排序組合 LS_i 。如圖 14 所示為例，設定各個電壓島的供應電壓 $SV = \{sv_1, sv_2, sv_3\} = \{1.0V, 1.1V, 1.2V\}$ ，系統供應電壓 $SSV = 1.0V$ 。圖中所示，在第一種葉節點的排列組合 $T(sl_1)$ 只有一種位準轉換器的排列組合 $LS_1 = \{ls_{1,1}\}$ ，因位準轉換器是提供由小電壓到大電壓的轉換；而另一種葉節點的排列組合 $T(sl_6)$ 則有兩種位準轉換器的排列組合 $LS_1 = \{ls_{6,1}, ls_{6,2}\}$ 。透過各種不同的組合去找出最小的功率消耗如下：

$$\min_{\forall i \in SL, \forall j \in LS_i} \{power[ls_{i,j}(T(sl_i))]\} \quad (5)$$

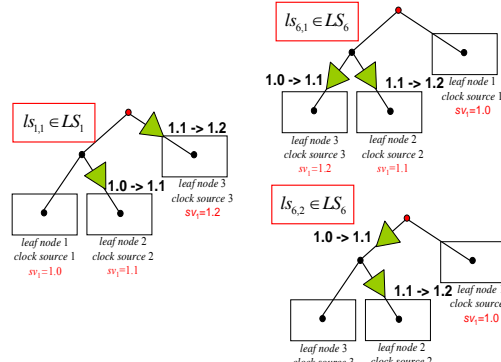


圖 14 各種位準轉換器的插入排列組合

D. 演算法複雜度分析

演算法分三階段，第一階段為輸入一個 benchmark 檔包含其電路端點之座標與負載電容，接著為整體電壓島的配置包含電壓設定及決定系統供應電壓，作為考量功率消耗最小化。此階段只是單純的端點讀檔儲存程序，執行時間正比於 m 個端點，即 $O(m)$ 。第二階段使用 DME-XP 依序對各電壓島執行 X-時脈樹的分工建置，主要核心運算與消耗時間是在 DME-X 這個部分，根據 [1] 所示，在最壞情況下的時間複雜度為 $O(m \log m)$ ，而電壓島數 n 很小而不影響此執行時間。最後一階段將各個電壓島的 X-時脈樹整合起來，並依電壓配置情況插入 level shifters。此階段可視為對 n 個電壓島末端的 DME-XP 繞線，時間複雜度為 $O(n \log n)$ ，但 n 很小而可忽略此時間。因此，演算法的時間複雜度為 $O(m \log m)$ ， m 為時脈樹總端點數。

6. 實驗結果

本實驗配備 Windows XP on Intel® Core(TM)2 Duo CPU E4400 2G with 1G Memory，使用 Borland C++ Builder 6.0 建構模擬程式，本實驗所用的標準測試例子有 IBM r1-r5 [10]，MCNC Prim1 和 Prim2 [11]，及 ISCAS89 s1423、s5378 和 s15850 [12]。相關參數與 level shifter (等效為 buffer) 數值，如表 2 所示使用 130nm 製程及 FED 延遲模型 [7]。

表 2 130nm 製程及 FED 延遲模型之參數

| | | | | | |
|--------|--------------|-----|------------|----------|---------|
| r | 0.623Ω/μm | B | 1.03010ln2 | r_{LS} | 250Ω |
| c_a | 0.00598fF/μm | C | 1.00511ln2 | T_{LS} | 54.4 ps |
| c_f | 0.043fF/μm | D | 1.12673ln2 | C_{LS} | 23.5 fF |
| $Fclk$ | 100MHz | E | 1.10463ln2 | | |
| A | 1.01258ln2 | F | 1.04836ln2 | | |

每個例子均可視為單電壓島時脈樹建置，但每個例子如事先預分為兩個以上電壓島則可形成多電壓島時脈樹建置，如以 X 軸中線座標對切、Y 軸中線座標分上下或 L 形切割等均為兩個電壓島，以 T 形切割則為三個電壓島。如圖 15(a)與(b)所示分別為二電壓島及三電壓島佈局環境及設定不同電壓。

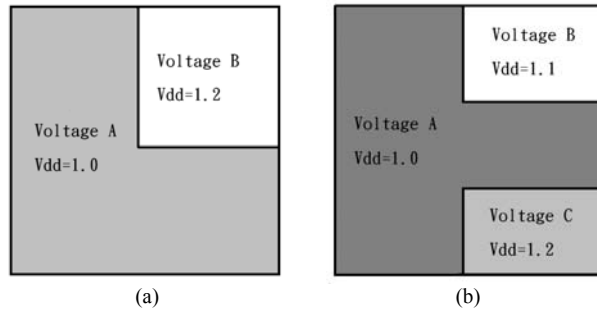


圖 15 (a)二電壓島與(b)三電壓島的佈局示意圖

表3至表7分別為單電壓島(1.2V)、X軸中線對切之二電壓島(1.0V/1.2V)、Y軸中線分上下之二電壓島(1.0V/1.2V)、L形切割之二電壓島(1.0V/1.2V)及T形切割之三個電壓島(1.0V/1.1V/1.2V)等考慮與未考慮插入雙穿孔於電壓島中之消耗功率和延遲時間的比較，以總平均而言，加入雙穿孔後之時脈樹建置較未考慮插入雙穿孔者在消耗功率和延遲時間分別增加了17.88 (即(0.0715%+15.9145%+18.6636%+26.163%+28.6247%)/5)與0.04% (即(0.0849%+0.0258%+0.0298%+0.0473%+0.021%)/5)，可見加入雙穿孔會明顯地增加功率消耗，但對時脈延遲影響較小。

表 3 單電壓島(1.2V)考慮與未考慮 double via 之消耗功率和延遲時間

| Benchmark | Power(W) | | Delay (μs) | |
|-----------|--------------------|-----------------------|--------------------|--------------------|
| | Without double via | With double via | Without double via | With double via |
| r1 | 0.078951 | 0.07906(1.001381) | 0.309868 | 0.310001(1.000429) |
| r2 | 0.186046 | 0.186174(1.000688) | 1.361085 | 1.361734(1.000477) |
| r3 | 0.259575 | 0.259717(1.000547) | 1.792491 | 1.793355(1.000482) |
| r4 | 0.599519 | 0.599856(1.000562) | 4.792936 | 4.795621(1.00056) |
| r5 | 0.994431 | 0.995018(1.00059) | 6.883625 | 6.887553(1.000571) |
| pr1 | 0.175772 | 0.175772(1) | 0.058598 | 0.058663(1.001109) |
| pr2 | 0.416744 | 0.416809(1.000156) | 0.25293 | 0.253039(1.000431) |
| s1423 | 0.006842 | 0.006848(1.000877) | 0.00742 | 0.007431(1.001482) |
| s5378 | 0.017390 | 0.0174079(1.001029) | 0.016805 | 0.016825(1.00119) |
| s15850 | 0.06472967 | 0.064815404(1.001324) | 0.054149 | 0.054244(1.001754) |
| Average | | (1.000715) | | (1.000849) |

表 4 對切-電壓島(1.0V/1.2V)考慮與未考慮 double via 之消耗功率和延遲時間

| Benchmark | Power(W) | | Delay (μs) | |
|-----------|--------------------|--------------------|--------------------|--------------------|
| | Without double via | With double via | Without double via | With double via |
| r1 | 0.061434 | 0.071740(1.167757) | 0.480054 | 0.480128(1.000154) |
| r2 | 0.156596 | 0.175625(1.121517) | 1.38732 | 1.387562(1.000174) |
| r3 | 0.229733 | 0.256625(1.117058) | 1.961540 | 1.961886(1.000176) |
| r4 | 0.523940 | 0.597544(1.140482) | 5.644529 | 5.645674(1.000203) |
| r5 | 0.835854 | 0.967952(1.15804) | 8.882311 | 8.884294(1.000223) |
| pr1 | 0.137849 | 0.159067(1.153922) | 0.074138 | 0.074159(1.000283) |
| pr2 | 0.334432 | 0.402085(1.202292) | 0.253733 | 0.253778(1.000177) |
| s1423 | 0.005510 | 0.006344(1.151361) | 0.010909 | 0.010913(1.000366) |
| s5378 | 0.014117 | 0.016392(1.161153) | 0.022255 | 0.022263(1.000359) |
| s15850 | 0.049966 | 0.060852(1.217868) | 0.073125 | 0.073159(1.000465) |
| Average | | (1.159145) | | (1.000258) |

表 5 上下-電壓島(1.0V/1.2V)考慮與未考慮 double via 之消耗功率和延遲時間

| Benchmark | Power(W) | | Delay (μs) | |
|-----------|--------------------|---------------------|--------------------|--------------------|
| | Without double via | With double via | Without double via | With double via |
| r1 | 0.061181 | 0.073014(1.19341) | 0.498788 | 0.498859(1.000142) |
| r2 | 0.147363 | 0.176637(1.198652) | 1.304789 | 1.30502(1.000177) |
| r3 | 0.20886 | 0.257736(1.234013) | 1.576861 | 1.577136(1.000174) |
| r4 | 0.494263 | 0.596035(1.205907) | 4.533315 | 4.534197(1.000195) |
| r5 | 0.816948 | 1.03959(1.272529) | 6.787453 | 6.789054(1.000236) |
| pr1 | 0.13298 | 0.156508(1.176929) | 0.076883 | 0.076906(1.000299) |
| pr2 | 0.342338 | 0.406263 (1.186731) | 0.273225 | 0.273273(1.000176) |
| s1423 | 0.005592 | 0.006123(1.094957) | 0.009134 | 0.009138(1.000438) |
| s5378 | 0.014114 | 0.016211(1.148576) | 0.017232 | 0.017242(1.00058) |
| s15850 | 0.053686 | 0.061989(1.154659) | 0.063832 | 0.063868(1.000564) |
| Average | | (1.186636) | | (1.000298) |

表 6 L 型-電壓島(1.0V/1.2V)考慮與未考慮 double via 之消耗功率和延遲時間

| Benchmark | Power(W) | | Delay (μs) | |
|-----------|--------------------|--------------------|--------------------|--------------------|
| | Without double via | With double via | Without double via | With double via |
| r1 | 0.058921 | 0.075957(1.289133) | 0.328906 | 0.32896(1.000164) |
| r2 | 0.143735 | 0.179237(1.246996) | 0.86712 | 0.867301(1.000209) |
| r3 | 0.209628 | 0.253652(1.21001) | 1.700054 | 1.700396(1.000201) |
| r4 | 0.491209 | 0.613066(1.248076) | 3.988848 | 3.989559(1.000178) |
| r5 | 0.81266 | 0.992837(1.221713) | 8.781566 | 8.783222(1.000189) |
| pr1 | 0.128913 | 0.16325(1.266358) | 0.051935 | 0.051953(1.000347) |
| pr2 | 0.322462 | 0.410137(1.271893) | 0.182228 | 0.182269(1.000225) |
| s1423 | 0.005257 | 0.006628(1.260795) | 0.007008 | 0.007016(1.001142) |
| s5378 | 0.014809 | 0.01899(1.282328) | 0.015518 | 0.015526(1.000516) |
| s15850 | 0.047869 | 0.063139(1.318996) | 0.053734 | 0.053818(1.001563) |
| Average | | (1.26163) | | (1.000473) |

表 7 T 型-電壓島(1.0V/1.1V/1.2V)考慮與未考慮 double via 之消耗功率和延遲時間

| Benchmark | Power(W) | | Delay (μs) | |
|-----------|--------------------|--------------------|--------------------|--------------------|
| | Without double via | With double via | Without double via | With double via |
| r1 | 0.060079 | 0.078481(1.306297) | 0.343070 | 0.343107(1.000108) |
| r2 | 0.137971 | 0.177894(1.289358) | 0.966694 | 0.966846(1.000157) |
| r3 | 0.200669 | 0.251410(1.252859) | 1.711020 | 1.711253(1.000136) |
| r4 | 0.471934 | 0.604090(1.280031) | 4.271209 | 4.271923(1.000167) |
| r5 | 0.768818 | 0.983427(1.279141) | 7.550839 | 7.552208(1.000181) |
| pr1 | 0.124627 | 0.158676(1.273207) | 0.065419 | 0.065433(1.000214) |
| pr2 | 0.308248 | 0.403409(1.308716) | 0.219751 | 0.219784(1.00015) |
| s1423 | 0.005263 | 0.006631(1.259928) | 0.009405 | 0.009408(1.000319) |
| s5378 | 0.012722 | 0.016522(1.298695) | 0.017751 | 0.017756(1.000282) |
| s15850 | 0.047995 | 0.063077(1.314241) | 0.051677 | 0.051697(1.000387) |
| Average | | (1.286247) | | (1.00021) |

表8至表11分別為X軸中線對切之二電壓島(1.0V/1.2V)、Y軸中線分上下之二電壓島(1.0V/1.2V)、L形切割之二電壓島(1.0V/1.2V)及T形切割之三電壓島(1.0V/1.1V/1.2V) 對單電壓島(1.2V)等考慮插入雙穿孔於電壓島中之消耗功率、延遲時間與執行時間的比較，以總平均而言，多電壓島之時脈樹建置較單電壓島者在消耗功率減少3.56% (即(5.15675%+4.5003%+1.3439%+3.2718%)/4)，但在延遲時間與執行時間分別增加2.13% (即(25.3646%+12.0105%-7.8159%-21.0327%)/4)與51.56% (即(38.5163%+174.707%+40.4581%+52.793%)/4)。

表 8 對切-電壓島(1.0V/1.2V)對單電壓島(1.2V)考慮 double via 之消耗功率和延遲時間

| Benchmark | Power(W) | | Delay (μs) | | Running time (s) | |
|-----------|-----------|--------------------|------------|--------------------|------------------|-------------------|
| | Single | 對切-type | Single | 對切-type | Single | 對切-type |
| r1 | 0.07906 | 0.071740(0.907412) | 0.310001 | 0.480128(1.548795) | 32704 | 7514(0.229758) |
| r2 | 0.186174 | 0.175625(0.943338) | 1.361734 | 1.387562(1.018967) | 31203 | 17766(0.569368) |
| r3 | 0.259717 | 0.256625(0.988095) | 1.793355 | 1.961886(1.093975) | 38313 | 244218(6.374285) |
| r4 | 0.599856 | 0.597544(0.996146) | 4.795621 | 5.645674(1.177256) | 190360 | 172125(0.904208) |
| r5 | 0.995018 | 0.967952(0.972798) | 6.887553 | 8.884294(1.289906) | 978906 | 1057937(1.080734) |
| pr1 | 0.175772 | 0.159067(0.904962) | 0.058663 | 0.074159(1.264153) | 20094 | 6296(0.313327) |
| pr2 | 0.416809 | 0.402085(0.964674) | 0.253039 | 0.253778(1.00292) | 16703 | 10015(0.559593) |
| s1423 | 0.006848 | 0.006344(0.926402) | 0.007431 | 0.010913(1.468578) | 3157 | 5235(1.65822) |
| s5378 | 0.0174079 | 0.016392(0.941641) | 0.016825 | 0.022263(1.32321) | 3359 | 5907(1.758559) |
| s15850 | 0.0648154 | 0.060852(0.938851) | 0.054244 | 0.073159(1.348702) | 38250 | 13907(0.363582) |
| Average | | (0.948432) | | (1.253646) | | (1.385163) |

表 9 上下-電壓島(1.0V/1.2V)對單電壓島(1.2V)考慮 double via 之消耗功率和延遲時間

| Benchmark | Power(W) | | Delay (μs) | | Running time (s) | |
|-----------|-----------|--------------------|------------|--------------------|------------------|--------------------|
| | Single | 上下-type | Single | 上下-type | Single | 上下-type |
| r1 | 0.07906 | 0.073014(0.923526) | 0.310001 | 0.498859(1.609217) | 32704 | 23891(0.730522) |
| r2 | 0.186174 | 0.176637(0.948774) | 1.361734 | 1.305020(0.958352) | 31203 | 14375(0.460693) |
| r3 | 0.259717 | 0.257736(0.992372) | 1.793355 | 1.577136(0.879433) | 38313 | 28890(0.754052) |
| r4 | 0.599856 | 0.596035(0.99363) | 4.795621 | 4.534197(0.945487) | 190360 | 599656(3.150116) |
| r5 | 0.995018 | 1.039590(1.044795) | 6.887553 | 6.789054(0.985699) | 978906 | 17318876(17.69207) |
| pr1 | 0.175772 | 0.156508(0.890403) | 0.058663 | 0.076906(1.31098) | 20094 | 6032(0.300189) |
| pr2 | 0.416809 | 0.406263(0.974698) | 0.253039 | 0.273273(1.079964) | 16703 | 14063(0.841945) |
| s1423 | 0.006848 | 0.006123(0.89413) | 0.007431 | 0.009138(1.229713) | 3157 | 5281(1.672791) |
| s5378 | 0.0174079 | 0.016211(0.931244) | 0.016825 | 0.017242(1.024785) | 3359 | 5281(1.572194) |
| s15850 | 0.0648154 | 0.061989(0.956393) | 0.054244 | 0.063868(1.177421) | 38250 | 11327(0.296131) |
| Average | | (0.954997) | | (1.120105) | | (2.74707) |

表 10 L 型-電壓島(1.0V/1.2V)對單電壓島(1.2V)考慮 double via 之消耗功率、延遲時間及處理時間

| Benchmark | Power(W) | | Delay (μs) | | Running time (s) | |
|-----------|-----------|--------------------|------------|--------------------|------------------|-------------------|
| | Single | L-type | Single | L-type | Single | L-type |
| r1 | 0.07906 | 0.075957(0.960751) | 0.310001 | 0.328960(1.061158) | 32704 | 10297(0.314854) |
| r2 | 0.186174 | 0.179237(0.962739) | 1.361734 | 0.867301(0.636909) | 31203 | 18297(0.586386) |
| r3 | 0.259717 | 0.253652(0.976648) | 1.793355 | 1.700396(0.948165) | 38313 | 18593(0.485292) |
| r4 | 0.599856 | 0.613066(1.022022) | 4.795621 | 3.989559(0.831917) | 190360 | 525374(2.759897) |
| r5 | 0.995018 | 0.992837(0.997808) | 6.887553 | 8.783222(1.275231) | 978906 | 2668922(2.726433) |
| pr1 | 0.175772 | 0.163250(0.92876) | 0.058663 | 0.051953(0.885618) | 20094 | 6766(0.336717) |
| pr2 | 0.416809 | 0.410137(0.983993) | 0.253039 | 0.182269(0.72032) | 16703 | 20000(1.19739) |
| s1423 | 0.006848 | 0.006628(0.967874) | 0.007431 | 0.007016(0.944153) | 3157 | 5203(1.648084) |
| s5378 | 0.0174079 | 0.018990(1.090884) | 0.016825 | 0.015526(0.922793) | 3359 | 12250(3.646919) |
| s15850 | 0.0648154 | 0.063139(0.974136) | 0.054244 | 0.053818(0.992147) | 38250 | 13124(0.343111) |
| Average | | (0.986561) | | (0.921841) | | (1.404508) |

表 11 T 型-電壓島(1.0V/1.1V/1.2V)對單電壓島(1.2V)考慮 double via 之消耗功率、延遲時間及處理時間

| Benchmark | Power(W) | | Delay (μs) | | Running time (s) | |
|-----------|-----------|--------------------|------------|--------------------|------------------|-------------------|
| | Single | T-type | Single | T-type | Single | T-type |
| r1 | 0.07906 | 0.078481(0.992676) | 0.310001 | 0.280819(0.905865) | 32704 | 24921(0.762017) |
| r2 | 0.186174 | 0.177894(0.955525) | 1.361734 | 0.716377(0.526077) | 31203 | 18063(0.578887) |
| r3 | 0.259717 | 0.251410(0.968015) | 1.793355 | 1.395267(0.778021) | 38313 | 43047(1.123561) |
| r4 | 0.599856 | 0.604090(1.007058) | 4.795621 | 3.857338(0.804346) | 190360 | 158953(0.835013) |
| r5 | 0.995018 | 0.983427(0.988351) | 6.887553 | 6.471790(0.939636) | 978906 | 4052219(4.139538) |
| pr1 | 0.175772 | 0.158676(0.902738) | 0.058663 | 0.048778(0.831495) | 20094 | 7422(0.369364) |
| pr2 | 0.416809 | 0.403409(0.967851) | 0.253039 | 0.174655(0.69023) | 16703 | 15469(3.267026) |
| s1423 | 0.006848 | 0.006631(0.968312) | 0.007431 | 0.006522(0.877675) | 3157 | 10314(3.267026) |
| s5378 | 0.0174079 | 0.016522(0.949109) | 0.016825 | 0.012720(0.756018) | 3359 | 8344(2.484073) |
| s15850 | 0.0648154 | 0.063077(0.973179) | 0.054244 | 0.042710(0.787368) | 38250 | 30359(0.793699) |
| Average | | (0.967282) | | (0.789673) | | (1.52793) |

圖 16(a)與(b)所示分別為 pr1 T 形切割之三個電壓島未考慮與考慮插入雙穿孔之 X-時脈樹繞線結果，圖 16(c)則為 pr1 L 形切割之二個電壓島考插入雙穿孔之 X-時脈樹繞線結果。

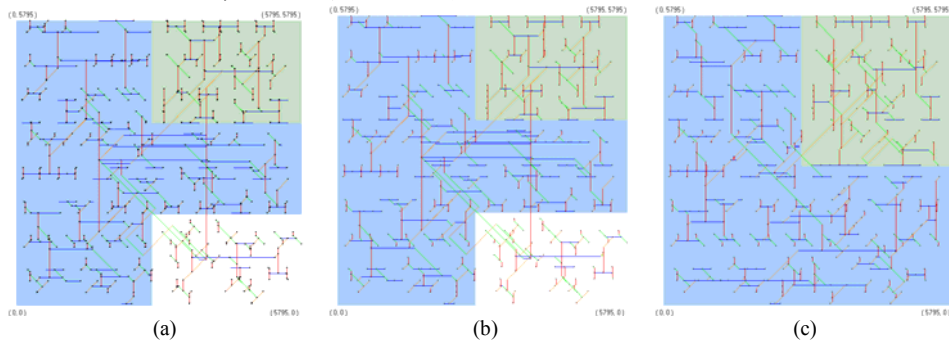


圖 16 (a)未考慮與(b)考慮插入雙穿孔之 pr1 T 形切割之三個電壓島 X-時脈樹繞線結果，(b)考慮插入雙穿孔之 pr1 L 形切割之二個電壓島考 X-時脈樹繞線結果

7. 結論與未來展望

從上述實驗結果顯示在單電壓島或多電壓島之時脈樹建置中，插入 double via 可增加晶片製程的可靠度，但在功率消耗和時脈延遲會付出一些代價。同時又從實驗結果顯示對一顆晶片之多重電壓島能作最佳化的電源管理，絕對可以有效地減少功率消耗，但其時脈延遲並非能保證隨著減少，還是與一顆晶片所有時脈端點如何被分割成多個電壓島有絕對的關聯。而 n 個電壓島就有 n 個電壓組合情況，當 n 增大時，尋找最佳化的電源管理，也就相對費時。

未來在多重電壓島 X 時脈樹建置可延伸工作含：更複雜化的多重電壓島分割與擺置；使用不同低電壓島至高電壓島的 level shifter 之等效電路；考量所有時脈端點分佈與負載電容，如何分割成為有效個數的電壓島；考量多重電壓島為動態的電源管理；及同時考量最佳化節省功率消耗與時脈延遲。

參考文獻

- [1] Chia-Chun Tsai, Chung-Chieh Kuo, Jan-Ou Wu, Trong-Yen Lee, and Rong-Shue Hsiao, "A Topology-Based Construction for X-Architecture Clock Routing," *The 18th VLSI Design/CAD Symposium*, August 2007, pp. 166-169.
- [2] Wai-Kei Mak, and Jr-Wei Chen, "Voltage Island Generation under Performance Requirement for SoC Designs," *Design Automation Conference in Asia and South Pacific*, 23-26 Jan., 2007, pp. 798-803.
- [3] Ming-Ching Lu, Meng-Chen Wu, Hung-Ming Chen, and Hui-Ru Jiang, "Performance Constraints Aware Voltage Islands Generation in SoC Floorplan Design," *IEEE International SOC Conference*, 24-27 Sept., 2006, pp. 211- 214.
- [4] Jingcao Hut, Youngsoo Shins, Nagu Dhanwadat, and Radu Marculescut, "Architecting Voltage Islands in Core-based System-on-a-Chip Designs," *Proceedings of The International Symposium on Low Power Electronics and Design*, 2004, pp.

180-185.

- [5] Wan-Ping Lee, Hung-Yi Liu, and Yao-Wen Chang, "An ILP Algorithm for Post-Floorplanning Voltage-Island Generation Considering Power-Network Planning," *IEEE/ACM International Conference on Computer-Aided Design*, 4-8 Nov., 2007, pp. 650-655.
- [6] Arif Ishaq AbouSeido, Brian Nowak, and Chris Chu, "Fitted Elmore Delay: A Simple and Accurate Interconnect Delay Model," *IEEE Transactions on Very Large Scale Integration Systems*, Vol. 12, Issue 7, July 2004, pp. 691-696.
- [7] Tai-Chen Chen, Song-Ra Pan, and Yao-Wen Chang, "Timing Modeling and Optimization under The Transmission Line Model," *IEEE Transactions on Very Large Scale Integration Systems*, Vol. 12, Issue 1, Jan. 2004, pp. 28-41.
- [8] Andrew Kahng, Jason Cong, and Gabriel Robins, "High-Performance Clock Routing Based on Recursive Geometric Matching," *The 28th ACM/IEEE Design Automation Conference*, 17-21 June, 1991, pp. 322-327.
- [9] W. C. Elmore, "The Transient Response of Damped Linear Network with Particular Regard to Wideband Amplifiers," *J. Applied Physics*, 1948, pp. 55-63.
- [10] R. S. Tsay, "Exact Zero Skew," *IEEE International Conference on Computer-Aided Design*, 1991, pp. 336-339.
- [11] M. A. B. Jackson, A. Srinivasan, and E. S. Kuh, "Clock Routing for High Performance ICs," in Proc. ACM/IEEE Design Automation Conference, June 1990, pp. 573-579.
- [12] J. G. Xi and W. W.-M. Dai, "Useful-Skew Clock Routing With Gate Sizing for Low Power Design," in Proc. Design Automation Conference, June 1996, pp. 383-388.
- [13] Chia-Chun Tsai, Chung-Chieh Kuo, Lin-Jeng Gu, and Trong-Yen Lee, "Double-via Insertion Enhanced X-Architecture Clock Routing for Reliability," *IEEE International Symposium on Circuits and Systems*, pp. 3413-3416, May 30-June 2, 2010, Paris, France.

研究成果與相關論文發表

1. Chia-Chun Tsai, Chung-Chieh Kuo, Feng-Tzu Hsu, and Trong-Yen Lee, "Discharge-Path-Based Antenna Effect Detection and Fixing for X-Architecture Clock Tree," Accepted by *Integration, the VLSI Journal*, Paper No. VLSI928, 2011. (SCI)
2. Chia-Chun Tsai, Sheng-Bin Dai, and Trong-Yen Lee, "The RF Circuit Design of Power and Data Contactless Transmission for ISO/IEC 14443-2 Type B," Accepted by *Journal of Circuits, Systems, and Computers*, Paper MS#SK09, 2011. (EI)
3. Chia-Chun Tsai, Chung-Chieh Kuo, and Trong-Yen Lee "Post-Routing Double-Via Insertion for X-Architecture Clock Tree Yield Improvement," Accepted by *IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences*, Paper No. 2010EAP1166, 2011. (SCI)
4. Chia-Chun Tsai, Chung-Chieh Kuo, and Trong-Yen Lee "High Performance Buffered X-Architecture Zero-Skew Clock Tree Construction with Via Delay Consideration," Accepted by *International Journal of Innovative Computing, Information and Control*, Paper No. IJICIC-10-04024, 2011. (SCI)
5. Chung-Chieh Kuo, Chia-Chun Tsai, and Trong-Yen Lee, "Pattern-matching-based X-Architecture Zero-skew Clock Tree Construction with X-Flip Technique and Via Delay Consideration," *Integration, the VLSI Journal*, Vol. 44, No. 1, pp. 87-101, Jan. 2011. (SCI)
6. Chia-Chun Tsai, Chung-Chieh Kuo, and Trong-Yen Lee, "Jumper Insertion for Antenna Avoidance in X-clock Routing," *Far East Journal of Electronics and Communications*, Vol. 4, No. 2, pp. 123-132, June 2010. (EI)
7. Chia-Chun Tsai, Chung-Chieh Kuo, and Trong-Yen Lee, "Voltage-Island Aware X-Clock Tree Construction for Power Minimization," *International Conference on Computer Science and Service System*, pp. 4132-4135, June 27-29, 2011, Nanjing, Mainland China. (EI)
8. Chia-Chun Tsai, Chung-Chieh Kuo, Feng-Tzu Hsu, Lin-Jeng Gu, and Trong-Yen Lee, "X-Architecture Zero-Skew Clock Tree Construction with Performance and DFM Considerations," *International SOC Design Conference*, pp. 294-297, Nov. 22-23, 2010, Incheon, Korea. (EI)
9. Chia-Chun Tsai, Chung-Chieh Kuo, Lin-Jeng Gu, and Trong-Yen Lee, "Double-Via Insertion for Improving the Reliability of X-Architecture Clock Tree," *The 21st VLSI Design/CAD Symposium*, August 3-6, 2010, Kaohsiung, Taiwan. (Best Paper Nominee)
10. Chia-Chun Tsai, Chung-Chieh Kuo, Lin-Jeng Gu, and Trong-Yen Lee, "Double-via Insertion Enhanced X-Architecture Clock Routing for Reliability," *IEEE International Symposium on Circuits and Systems*, pp. 3413-3416, May 30-June 2, 2010, Paris France.
11. Chia-Chun Tsai, Chung-Chieh Kuo, Lin-Jeng Gu, and Trong-Yen Lee, "Antenna Violation Avoidance/Fixing for X-Clock Routing," *International Symposium on Quality Electronic Design*, pp. 508-514, Mar. 22-24, 2010, San Jose, CA, USA.

出席國際會議研討心得報告

南華大學資工系 蔡加春 教授

國科會專題計畫補助：NSC 99-2221-E-343-007，2010/8/1~2011/7/31

多重電壓島佈局環境之 X-結構時脈繞線合成方法及結合可製造性設計之應用研究(I)
**X-Architecture Clock Routing Synthesis Associated with Design for Manufacturability to
the Application of Multi-Voltage Island Environment (II)**

● 2011 年計算機科學與服務系統國際研討會 (CSSS 2011)

計算機科學與服務系統國際研討會 (CSSS---International Conference on Computer Science and Service System) 是一個高品質又多元專業的交流平台技術研討會，它提供給此領域的業界、學術界、研究人員、工程師及服務系統技術應用者等經驗交流的機會。CSSS 2011 的舉辦單位為 IEEE Circuits and Systems Society，承辦單位為大陸 Nanjing University of Information Science & Technology，今年於 2011 年 6 月 27 日至 29 日在南京車站旁的 [Nanjing Shuguang International Hotel](#) 國際會議廳舉行，會議包含四個主題為 **Computer Science and technology**、**Software Engineering**、**Communication, network and Security** 及 **Service Science, system and management** 等。



Nanjing Shuguang International Hotel 的國際廳

CSSS 2011 國際研討會主要包括五場 Keynote speech 及四段三小時的 Special sessions 的發表，另有海報的展示等，五場的 Keynotes 如下。

| Title | Keynote Speaker | Affiliation |
|--|---------------------------|----------------------------------|
| Current development, opportunities and challenges for orchestrating and delivering cloud-based knowledge services | Prof. Eric Tsui | Hong Kong Polytechnic University |
| Finding Similar Questions in Collaborative Question Answering Archives: Toward Bootstrapping-based Equivalent Pattern Learning | Prof. Tianyong (Tony) Hao | City University of Hong Kong |
| Mining high-Dimensional Data: From Systems Biology to the Web | Prof. Xue-wen Chen | University of Kansas |

| | | |
|---|--------------------|--|
| Mobile Internet: Opportunities and Challenges | Prof. Guangwei Bai | Nanjing University of Technology |
| Multi-Agent oriented Knowledge Services and Distributed Decision Supporting | Prof. Cai Zhiming | Macau University of Science and Technology |

本人計有一篇 lecture Paper ID:AS10465，在會中發表:

Chia-Chun Tsai, Chung-Chieh Kuo, and Trong-Yen Lee, “Voltage-Island Aware X-Clock Tree Construction for Power Minimization,” *International Conference on Computer Science and Service System*, pp. 4132-4135, June 27-29, 2011, Nanjing, Mainland China.



發表論文的情況

在會場相關的活動包含 Coffee break 及 Poster interaction 等，大會允許可報備增加 Poster，本人也把握機會主動再貼 Poster，多與一些人互動機會。



與各地學者合影



Coffee Break



Poster



Poster 中與大家討論

此行參加研討會，也參觀了一些南京一些歷史景點，包含國父孫中山就職中華民國第一任的總統府、國父孫中山埋葬之地中山陵、明太祖朱元璋之明孝陵、中華門、玄武門及 600 年前明朝城牆等，經歷了歷史文化之旅。



總統府



中山陵



明孝陵



中華門



玄武門



明朝城牆

此行參加研討會，與來自世界各地之國際學者及業界相互交流，藉此了解他們研究方向與成果，並帶回大會相關資料及論文光碟片。感謝國科會計畫所補助之註冊費、機票與生活費等，感謝南華大學的支持。

國科會補助計畫衍生研發成果推廣資料表

日期:2011/08/18

| | |
|-----------|--|
| 國科會補助計畫 | 計畫名稱: 多重電壓島佈局環境之X-結構時脈繞線合成方法及結合可製造性設計之應用研究(II) |
| | 計畫主持人: 蔡加春 |
| | 計畫編號: 99-2221-E-343-007- 學門領域: 積體電路及系統設計 |
| 無研發成果推廣資料 | |

99 年度專題研究計畫研究成果彙整表

| 計畫主持人：蔡加春 | | 計畫編號：99-2221-E-343-007- | | | | | |
|--|-----------------|-------------------------|-----------------|------------|------|-------------------------------------|--|
| 計畫名稱：多重電壓島佈局環境之 X-結構時脈繞線合成方法及結合可製造性設計之應用研究(II) | | | | | | | |
| 成果項目 | | 量化 | | | 單位 | 備註（質化說明：如數個計畫共同成果、成果列為該期刊之封面故事...等） | |
| | | 實際已達成數（被接受或已發表） | 預期總達成數(含實際已達成數) | 本計畫實際貢獻百分比 | | | |
| 國內 | 論文著作 | 期刊論文 | 0 | 0 | 100% | 篇 | |
| | | 研究報告/技術報告 | 0 | 0 | 100% | | |
| | | 研討會論文 | 0 | 0 | 100% | | |
| | | 專書 | 0 | 0 | 100% | | |
| | 專利 | 申請中件數 | 0 | 0 | 100% | 件 | |
| | | 已獲得件數 | 0 | 0 | 100% | | |
| | 技術移轉 | 件數 | 0 | 0 | 100% | 件 | |
| | | 權利金 | 0 | 0 | 100% | 千元 | |
| | 參與計畫人力 (本國籍) | 碩士生 | 1 | 0 | 100% | 人次 | |
| | | 博士生 | 1 | 0 | 100% | | |
| | | 博士後研究員 | 0 | 0 | 100% | | |
| | | 專任助理 | 0 | 0 | 100% | | |
| 國外 | 論文著作 | 期刊論文 | 1 | 0 | 100% | 篇 | |
| | | 研究報告/技術報告 | 0 | 0 | 100% | | |
| | | 研討會論文 | 1 | 0 | 100% | | |
| | | 專書 | 0 | 0 | 100% | 章/本 | |
| | 專利 | 申請中件數 | 0 | 0 | 100% | 件 | |
| | | 已獲得件數 | 0 | 0 | 100% | | |
| | 技術移轉 | 件數 | 0 | 0 | 100% | 件 | |
| | | 權利金 | 0 | 0 | 100% | 千元 | |
| | 參與計畫人力 (外國籍) | 碩士生 | 0 | 0 | 100% | 人次 | |
| | | 博士生 | 0 | 0 | 100% | | |
| | | 博士後研究員 | 0 | 0 | 100% | | |
| | | 專任助理 | 0 | 0 | 100% | | |

| | |
|---|---|
| <p style="text-align: center;">其他成果</p> <p>(無法以量化表達之成果如辦理學術活動、獲得獎項、重要國際合作、研究成果國際影響力及其他協助產業技術發展之具體效益事項等，請以文字敘述填列。)</p> | 無 |
|---|---|

| | 成果項目 | 量化 | 名稱或內容性質簡述 |
|---|-----------------|----|-----------|
| 科 教 處 計 畫 加 填 項 目 | 測驗工具(含質性與量性) | 0 | |
| | 課程/模組 | 0 | |
| | 電腦及網路系統或工具 | 0 | |
| | 教材 | 0 | |
| | 舉辦之活動/競賽 | 0 | |
| | 研討會/工作坊 | 0 | |
| | 電子報、網站 | 0 | |
| | 計畫成果推廣之參與(閱聽)人數 | 0 | |

國科會補助專題研究計畫成果報告自評表

請就研究內容與原計畫相符程度、達成預期目標情況、研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）、是否適合在學術期刊發表或申請專利、主要發現或其他有關價值等，作一綜合評估。

1. 請就研究內容與原計畫相符程度、達成預期目標情況作一綜合評估

達成目標

未達成目標（請說明，以 100 字為限）

實驗失敗

因故實驗中斷

其他原因

說明：

2. 研究成果在學術期刊發表或申請專利等情形：

論文： 已發表 未發表之文稿 撰寫中 無

專利： 已獲得 申請中 無

技轉： 已技轉 洽談中 無

其他：（以 100 字為限）

3. 請依學術成就、技術創新、社會影響等方面，評估研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）（以 500 字為限）

1. Propose DVI-X algorithm based on bipartite graph construction for X-clock layout and integrate both jumper insertion and layer assignment techniques to effectively reduce inserted dual vias.

2. Implement an algorithm of XCTMVI (X-Clock Tree construction on Multi-Voltage Islands) associated with DVI-X algorithm to minimize power consumption.