

南 華 大 學

資訊管理學系

碩士論文

考量電壓島佈局環境之 X 架構時脈繞線

The X-Architecture Clock Routing With  
Considering Voltage-Island Placement



研 究 生：尤志豪

指導教授：蔡加春 博士

中華民國 九十八 年 五 月

南 華 大 學  
資 訊 管 理 學 系 ( 所 )  
碩 士 學 位 論 文

考量電壓島佈局環境之 X 架構時脈繞線

研究生：尤志豪

經考試合格特此證明

口試委員：吳光閔  
何亨勳

指導教授：蔡水如

系主任(所長)：鍾國貴

口試日期：中華民國 98年 4月 24日

## 誌謝

回思研究所三年的時光，雖不是什麼風雨飄搖的日子，卻也仍深刻的歷歷在目，這條漫長的路走了許久，也終於讓我走到了終點。然而，今天能夠在這邊順利的以一個碩士生的身份畢業，首先要感謝的是我的父親與母親，當初若非有著他們積極的鼓勵與支持，恐怕那時便不會繼續往研究所升學。也因為他們這份無私的付出與期待，才能使我無後顧之憂的完成了這份學業。

當然，還有陪我渡過這些時日的這些同學和學弟妹以及興國三隻鬼友：祐翔、邦彥、定綸，這些人我都該對他們致上一份謝意。特別是練鴻展與魏岑甄這兩位同學，研所這三年的光陰當真似箭而過，認識他們的時間並不能算長，然而，在這段起起落落的日子裡，不論是好是壞，不論幸或不幸，都多虧了他們的存在，除了謝謝二字，也願他們在未來的路途裡都能找到屬於自己幸福的道路。

在我延畢的這一年，沒有過的太落寞其實還要感謝躍進、小花和土峰三位學弟妹，其實他們都是我的大學同學，只是沒想到我們竟然會在同一個研究所裡再次相聚，是意外，也是慶幸。最後的這一年，若沒有他們的陪伴，可能會比想像中還要乏味的多。尤其是土峰，不枉從大二到現在當了快六年的朋友，這幾年來著實受了他許多的幫助與關心，包括我在論文口試時的內外雜務他也幫我打點了不少，真的幫了我很大的一個忙，若要說義氣兩個字可以用在哪裡？自然是用在他身上了。與此同時，也不能忘記感謝資管系辦伊汝姐在論文準備過程裡的協助，在那些繁複的行政程序中，若沒她這樣一路給予提醒與關切，恐怕難免多有疏漏之處，我能說，論文口試能夠順利的完成也因有她的一份助力在裡面。

在此，還要特別感謝台北科技大學電腦與通訊研究所的郭仲傑學長，他在我論文的程式基礎上給了相當多的協助和幫忙，我深蒙其惠亦銘感其恩，在此對仲傑學長誠摯地表達深深謝意。

並且也必須感謝特地抽空擔任我論文口試委員的吳光閔博士與何宗易博士，他們除了在論文上熱心的給我許多意見與指導，也在人生規劃上給了許多語

重心長的建議與鼓勵，足可稱是諄諄教誨了。更意外的是沒想到他們願意給予我的論文如此的讚賞，當真是受寵若驚了，這當中的種種鼓勵與關心，自當是難以忘懷，做爲一個偶然在此與他們相遇的口試學生，能得他們如此深切的關懷，除了感動也只有更多的感謝。

最後，最重要的，也是我最必須鄭重感謝的，是我的指導老師蔡加春博士。研所三年，從開始到結束，從零到有，一點一滴累積至今的成果，都要歸功於老師的悉心指導。自知是個平凡的學生，若非仰賴老師如此耐性而用心的教學，便不會有今天的我，在這過程中能深深感受到老師的教學態度一向積極認真，對學生的付出也是如此煞費苦心，我的學業上若能說有什麼成就，貢獻最大也最應該感謝自然是老師了，在論文撰寫過程中的諸多大小事也受到老師許多幫忙。老師給予我的已不只是學識上的指引，他也教我許多做人處事的道理。做爲一個老師，他對我的教導不遺餘力；做爲一個長輩，他對我的關心亦是殷殷切切。我身爲一個學生，於課業、於人生都受到老師許許多多的提點與影響。如今，在這個重要的時刻裡，鄭重的向老師說一聲謝謝，謝謝您這三年來的幫忙與關心，也謝謝您這段日子以來的提攜與照顧。

# 中文摘要

時脈繞線(clock routing)在 VLSI 設計系統中，延遲時間、總繞線長度及功率消耗是影響系統效能甚巨的三個因素，而不同的繞線方法除了影響到繞線長度，相對地也會影響延遲時間的增減和功率消耗，這些都是在積體電路的繞線技術中需要被關注的問題。

其次，由延遲時間引申而來的時脈差異(clock skew)也是我們關心的問題，過於嚴重的時脈差異所引起的訊號時間差，同樣的對系統效能也會產生負面影響，所以在理想的 VLSI 設計目標上，我們通常希望可以達到所謂的零時脈差異(zero-skew)，亦被稱為零時脈差異時脈樹(zero-skew clock tree)。

目前的 VLSI 設計環境中，電壓島的佈局環境已非常普及，且多電壓島的考量更可節省功率的消耗量，因此，在多電壓島的佈局環境下，不得不重視時脈繞線的問題。本篇論文的主要研究即是基於這樣的考量，使用一種稱為 DME-X 的時脈繞線法及兼具有翻轉(flip)考量的 DME-XP 演算法，即結合 X 結構與 DME 演算法，應用在不同區塊配置不同電壓源的多電壓島佈局環境中，完成零時脈差異 X 結構時脈樹，以降低延遲時間、繞線長度、穿孔數及功率消耗等因素；並比較不同的佈局環境條件下，進一步解析這些因素的變化性。

根據我們提出的 DME-XP 時脈繞線方法應用在 IBM 之五個標準例子，將每個例子分割為二至三個電壓島佈局情況下，與原始單電壓島之實驗結果做比較。在雙電壓島的情況下，其延遲時間平均增加了 12.8%，繞線長度僅增加了 0.3%，穿孔數則是減少 0.74%，而功率消耗則是降低了 14%；在三電壓島的情況下，其延遲時間平均減少了 27.1%，繞線長度僅增加了 0.3%，穿孔數則僅增加 0.24%，但功率消耗更是降低了 25%。從這些比較結果，顯示我們的時脈繞線方法對多重電壓島佈局環境是有效的，尤其是在降低功率消耗方面。

關鍵字：X 繞線，電壓島，零時脈差異，功率消耗，多重電壓佈局

# Abstract

Considering the clock routing in a VLSI design system, clock delay, total wire length, and power consumption are three essential factors to impact the system performance. Different routing methods result the various total wire lengths and also make some influences to the clock delay and power consumption. These are needed to pay attention in the VLSI routing techniques.

Clock skew is another important factor which is caused from different clock delays. An enough large clock skew can make very negative effects for the system performance. Therefore, the ideal objective of clock routing is that we expect to obtain an exact zero-skew clock tree to a VLSI system.

In the recent VLSI design environment, the voltage-island placement is most one of universal methodologies to save the power consumption in physical design. So, we cannot ignore the clock routing problem in the voltage-island placement environment. The main structure in this thesis is to solve the above clock routing problem in the voltage-island placement by using DME-XP routing method which is considering the post refinement of an extra flip. These methods are based on X-architecture and DME algorithm to make X-clock routing which can reduce total wire length and clock delay. Moreover, we apply the above X-clock routing in a multiple voltage-island placement to construct a zero-skew X-architecture clock tree. Then, we observe the effects in terms of clock delay, wire length, via cost, and power consumption from the results at different placements.

The proposed approach of DME-XP has applied to the IBM five benchmarks, which are partitioned into two- and three-voltage-island placements. According to our experiments, we compare their results with that of original placement using the same DME-XP clock routing. For the cases of two-voltage island, the clock delay and total

wire length increase 12.8% and 0.3% on average, respectively; however, the via cost and power consumption reduce 0.74% and 14.2% on average, respectively. For the cases of three-voltage islands, the total wire length and via cost increase 0.3% and 0.24% on average, respectively; however, the clock delay and power consumption decrease up to 27.1% and 14.2% on average, respectively. From above comparisons, our X-clock routing approach is effective for a multi-voltage island placement, especially in the reduction of power consumption.

**Key words** : X-routing, voltage island, zero-skew, power consumption, multi-voltage placement.

# 目錄

書名頁 .....	I
著作財產權同意書 .....	II
論文指導教授推薦書 .....	III
論文口試合格證明 .....	IV
誌謝 .....	V
中文摘要 .....	VII
<b>Abstract</b> .....	VIII
目錄 .....	X
圖目錄 .....	XII
表目錄 .....	XV
<b>第一章、緒論</b> .....	1
第一節 前言 .....	1
第二節 研究動機 .....	3
第三節 論文架構 .....	4
<b>第二章、背景介紹</b> .....	6
第一節 延遲模型(Delay model) .....	6
第二節 時脈繞線 .....	8
2-2-1 時脈延遲(Clock delay) .....	9
2-2-2 時脈差異(Clock skew) .....	9
2-2-3 零時脈差異(Zero-skew)的建構 .....	11
第三節 GMA 時脈繞線演算法 .....	14
第四節 DME 時脈繞線演算法 .....	16
2-4-1 DME 時脈繞線演算法背景 .....	16
2-4-2 DME 時脈繞線演算法說明 .....	17
2-4-3 DME 時脈繞線演算法詳述 .....	21
第五節 X 架構下的 DME 時脈繞線 .....	25
2-5-1 DME-4 時脈繞線演算法 .....	26
2-5-2 DME-X 時脈繞線演算法 .....	27
<b>第三章、問題描述</b> .....	29
第一節 X-topology 表之建置 .....	29



第二節	時脈繞線問題定義.....	31
第三節	延遲模型與功率消耗評估.....	33
第四節	位準轉換器(Level shifter).....	36
<b>第四章</b>	<b>、研究方法</b> .....	<b>38</b>
第一節	具電壓島之時脈繞線架構.....	38
第二節	DME-XP 時脈繞線方法 .....	39
第三節	電壓島時脈繞線的分工與整合.....	45
第四節	多重電壓島 DME-XP 時脈繞線演算法 .....	50
<b>第五章</b>	<b>、實驗結果</b> .....	<b>52</b>
第一節	實驗參數設定.....	52
第二節	時脈繞線結果.....	54
5-2-1	單電壓島的 X 時脈繞線結果.....	55
5-2-2	雙電壓島的 X 時脈繞線結果.....	57
5-2-3	三電壓島的 X 時脈繞線結果.....	61
第三節	多電壓島 X 時脈繞線結果之比較.....	65
第四節	X 時脈繞線完成圖.....	69
<b>第六章</b>	<b>、結論與未來展望</b> .....	<b>73</b>
<b>參考文獻</b>	.....	<b>74</b>
<b>附錄 I</b>	論文發表：南華大學 2009 資訊管理暨電子商務經營管理研討會 「考量電壓島佈局環境之 X 架構時脈繞線」 .....	<b>78</b>
<b>附錄 II</b>	全實驗之 X 時脈繞線完成圖.....	<b>86</b>

# 圖目錄

圖 1-1 電壓島示意圖 .....	1
圖 2-1 RC 等效電路 .....	6
圖 2-2 FED Model 等效電路 .....	7
圖 2-3 時脈繞線概念圖 .....	8
圖 2-4 時脈延遲示意圖 .....	9
圖 2-5 時脈差異示意圖 .....	10
圖 2-6 考量 tapping point 之 FED 等效模型 .....	11
圖 2-7 時脈子樹連結示意圖 .....	12
圖 2-8 Snaking wire 示意圖 .....	13
圖 2-9 階層式 zero-skew tree 示意圖 .....	14
圖 2-10 八個時脈端點配置圖 .....	14
圖 2-11 GMA 繞線之一 .....	15
圖 2-12 GMA 繞線之二 .....	15
圖 2-13 GMA 繞線之三 .....	16
圖 2-14 ms 類型說明 .....	17
圖 2-15 TRR 區塊示意圖 .....	17
圖 2-16 ms 形成示意圖 .....	18
圖 2-17 case1 情況下的分佈圖 .....	19
圖 2-18 case2 情況下的分佈圖 .....	20
圖 2-19 case3 情況下的分佈圖 .....	20
圖 2-20 DME 配置範例 .....	21
圖 2-21 ms1 的構成 .....	21
圖 2-22 ms2 的構成 .....	22
圖 2-23 ms3 的構成 .....	23
圖 2-24 bottom-up 階段的 ms 配置結果 .....	23
圖 2-25 top-down 階段的起始繞線 .....	24
圖 2-26 top-down 繞線階段示意圖之二 .....	24
圖 2-27 DME 繞線結果 .....	25
圖 2-28 曼哈頓結構與 X 結構比較 .....	26
圖 2-29 DME-4 演算法示意圖 .....	27
圖 2-30 DME-X 演算法示意圖 .....	28
圖 3-1 繞線分區示意圖 .....	29
圖 3-2 一個端點的子區域 .....	29
圖 3-3 X 拓撲示意圖 .....	30

圖 3-4 雙電壓島分區繞線模擬圖 .....	32
圖 3-5 Level shifter 等效電路圖 .....	36
圖 3-6 Level shifter 的插入 .....	36
圖 3-7 Level shifter 等效 buffer 示意圖 .....	37
圖 4-1 雙區塊時脈樹示意圖 .....	38
圖 4-2 三區塊時脈樹示意圖 .....	39
圖 4-3 DME-XP algorithm .....	40
圖 4-4 GMA 配對圖 .....	41
圖 4-5 兩個端點分區與連線示意圖 .....	41
圖 4-6 tapping point 示意圖 .....	42
圖 4-7 考量 tapping point 之等效電路圖 .....	42
圖 4-8 Tapping point 與 ms 的關係圖 .....	43
圖 4-9 X-flip 示意圖 .....	44
圖 4-10 繞線區域分割示意圖 .....	45
圖 4-11 單區域的時脈樹 .....	45
圖 4-12 分割後的時脈樹 .....	46
圖 4-13 兩子樹連結之 FED 等效模型圖 .....	46
圖 4-14 兩個時脈子樹的連結 .....	47
圖 4-15 雙區域繞線連結示意圖 .....	47
圖 4-16 Level shifter 插入結構示意圖 .....	48
圖 4-17 Level shifter 之插入等效電路圖 .....	48
圖 4-18 三電壓島示意圖 .....	49
圖 4-19 三電壓島連結範例 .....	49
圖 4-20 插入 LS 的三電壓島環境 .....	50
圖 4-21 Multi-Voltage Island DME-XP Algorithm .....	51
圖 5-1 單電壓島佈局環境示意圖 .....	53
圖 5-2 雙電壓島佈局環境示意圖 .....	53
圖 5-3 三電壓島佈局環境示意圖 .....	54
圖 5-4 DME-X r5 繞線結果 .....	70
圖 5-5 DME-XP r5 繞線結果 .....	70
圖 5-6 雙電壓島單電壓 DME-X r5 繞線結果 .....	70
圖 5-7 雙電壓島單電壓 DME-XP r5 繞線結果 .....	70
圖 5-8 雙電壓島雙電壓 DME-X r5 繞線結果 .....	71
圖 5-9 雙電壓島雙電壓 DME-XP r5 繞線結果 .....	71
圖 5-10 三電壓島單電壓 DME-X r5 繞線結果 .....	71
圖 5-11 三電壓島單電壓 DME-XP r5 繞線結果 .....	71

圖 5-12 三電壓島三電壓 DME-X r5 繞線結果.....	72
圖 5-13 三電壓島三電壓 DME-XP r5 繞線結果.....	72

# 表目錄

表 3-1 16-Kind of X topologies.....	30
表 3-2 FED 各製程參數.....	34
表 5-1 實驗相關之參數.....	52
表 5-2 單電壓島 DME-X 時脈繞線結果.....	55
表 5-3 單電壓島 DME-XP 時脈繞線結果.....	55
表 5-4 單電壓島 DME-X&DME-XP 時脈繞線結果之比較.....	56
表 5-5 雙電壓島單電壓 DME-X 時脈繞線結果.....	57
表 5-6 雙電壓島單電壓 DME-XP 時脈繞線結果.....	57
表 5-7 雙電壓島單電壓 DME-X&DME-XP 時脈繞線結果之比較.....	58
表 5-8 雙電壓島雙電壓 DME-X 時脈繞線結果.....	59
表 5-9 雙電壓島雙電壓 DME-XP 時脈繞線結果.....	59
表 5-10 雙電壓島雙電壓 DME-X&DME-XP 時脈繞線結果之比較.....	60
表 5-11 三電壓島單電壓 DME-X 時脈繞線結果.....	61
表 5-12 三電壓島單電壓 DME-XP 時脈繞線結果.....	62
表 5-13 三電壓島單電壓 DME-X&DME-XP 時脈繞線結果之比較.....	62
表 5-14 三電壓島三電壓 DME-X 時脈繞線結果.....	63
表 5-15 三電壓島三電壓 DME-XP 時脈繞線結果.....	63
表 5-16 三電壓島三電壓 DME-X&DME-XP 時脈繞線結果之比較.....	64
表 5-17 多電壓島 DME-XP 繞線延遲時間之比較.....	66
表 5-18 多電壓島 DME-XP 繞線長度之比較.....	66
表 5-19 多電壓島 DME-XP 繞線穿孔數之比較.....	67
表 5-20 多電壓島 DME-XP 繞線功率消耗之比較.....	68
表 5-21 DME-XP 整體比例列表.....	69

# 第一章、緒論

## 第一節 前言

近年來，隨著高效能晶片的發展，不但使運作時脈越來越高，在系統單晶片(system-on a chip)上更整合很多的積體電路元件，相對地也大幅提高了晶片整體的功率消耗。為了降低功率消耗，目前在實體設計環境中，在平面規劃(floor planning)或佈局規劃(placement)階段時，就已經考量多重電壓(multiple voltages)供應的觀念[12][13][15][16]，不同的電路模組可由不同的電壓來供應，以降低不必要的功率消耗，此即為電壓島(voltage island)的佈局環境。

所謂的電壓島(voltage island)是一種多重電壓的導入方法，多重電壓若是被使用在電路上，目前較常見的方式即是電壓島(voltage island)這樣的概念，電壓島在觀念上等於是將一個電路上的各個工作區塊視為不同的執行區分隔開來，不同區域即賦予不同的電壓功率，一個簡單的電壓島說明如圖 1-1 所示：

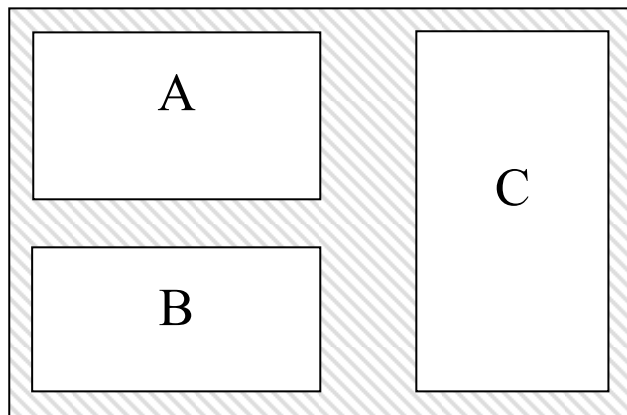


圖 1-1 電壓島示意圖

圖 1-1 中為一電路平面，我們將它分隔為 ABC 三個區域，一般來說，我們常見的電路在運作上是將整個電路不分區，僅給予單一的工作電壓，A、B、C 全域統一使用一樣的功率在運作，此即為傳統的單電壓島環境。但在改以使用多重電壓的電壓島情況下，我們就將不同區塊之電壓分別給予不同數值，可能是

AB 與 C 區域為不同電壓，或是 ABC 區域的供應電壓都不同等等，當然上述只是一個簡單例子，可能會有更多分割區或更複雜多重的電壓輸入情況。

在一個積體電路中的各功能元件，實際上需要的電壓並不相同[12]，舉例來說，一般情況下，電壓需求較高的通常是程序處理單元，而像是邏輯控制或是記憶單元等功能元件所需要的電能則較低，所以我們可以知道善用多重電壓的提供，對於電能的浪費可以有效降低。

時脈繞線(clock routing)在積體電路佈局環境中是影響系統效能很重要的步驟。隨著電路元件的多元與複雜化，使得時脈繞線之各項基本因素的影響愈加明顯，例如時脈延遲、時脈差異(clock skew)、繞線長度等等，這些都是我們一般在VLSI(超大型積體電路)的繞線設計時會注意到的問題，伴隨著晶片設計的趨勢更複雜，我們對於電路運作時的功率消耗也越來越重視。

目前與電壓島相關的研究大部分都專注於整體電壓的配置與規劃[12][13][15][16]，少有同時考量到電壓島時脈繞線方法，故本篇研究的特點是在已設定好的電壓島條件上額外結合時脈繞線方法，並觀察這樣的實驗架構為整體系統效能帶來多少程度的正面改善或是負面影響。

因此，在本篇論文中，我們嘗試導入多重相異電壓，使該電路的一部分能在容許範圍內以較低電壓工作，就能再進一步的節省更多的能源消耗，達成節省能源的目的。

在 VLSI 設計的改良上，我們有幾個不能忽略的基礎問題，其中一個問題點是延遲時間的改善與零時脈差異(zero-skew)的達成[2]，這兩個目標都與 clock delay 的狀況與平衡有關，一般情況下，延遲時間越短理所當然的就能在時間效率上帶來進步，而零時脈差異(zero-skew)的設計是為避免電路運行時產生的負面影響，所謂的時脈差異意指訊號與訊號間互相等待的時間差，當其數值太大會造成運作的效能降低；時脈差異過大除了會影響效能，在嚴重時甚至會直接造成電路系統的故障。

另一個問題點是，希望可以達成繞線長度的減少，在一般情況下，我們比較

傳統的曼哈頓繞線法和新式的 X 繞線法，我們可以發現加入 45° 線段的 X 繞線比單純考慮垂直水平線的曼哈頓繞線較能縮減繞線長度[5]，而繞線長度若能有所改善，就能相對帶來製程成本的降低和能源消耗的減少，同時傳遞延遲時間也可以減短，所以繞線長度的改善對於 VLSI 設計是一個重要而必要的問題，也是足以影響整體的關鍵要素之一。

在上述前提下，我們若想達成功率消耗的減少，就要知道這個部分關聯到時脈頻率、電路架構設計、繞線長度和內部元件配置與電容屬性等等[12]，而我們若能在減少能源消耗的情況下達成電路的既定目標，那對於運行成本的減少可以說是一個顯著的進步，所以我們嘗試改變繞線方法與電路結構等等，種種細部的改良都是為了達成功率消耗的降低。

在此，我們選擇使用的繞線方法為 DME-X(P) [9]，由於這個方法本身的延遲時間、繞線長度與功率消耗已有一定程度的優勢，故本篇論文的實驗方式為使用基於電壓島並整合 DME-X(P)的繞線方法，並分別比較在不同的繞線基礎上使用單一電壓與雙電壓島、三電壓島的情況下為功率消耗帶來的影響與變化，同時也觀察不同的繞線結構下的延遲時間與繞線長度的增減程度。

## 第二節 研究動機

我們常見的電路結構通常是在單一區塊下完成整個線路的繞線，並在此區域內提供一個電壓以供此電路運作，這就是最普遍的一種模式，但這種模式下實際上會造成部分能源的虛耗，因為電路各元件實際需要的工作電壓可能有所差異，只提供單一輸入點等於是強迫讓所有電路全面以最大電源在工作，可能會造成許多的虛耗。

我們已知積體電路中的各功能元件需要的電壓並不相同，以前一節舉的例子來說，我們可以知道在常見電路元件中，電壓需求較高的通常是程序處理單元，而像是邏輯控制或是記憶單元等功能元件所需要的電能則較低，所以我們以此推



測並假設多重電壓的提供對於電能的浪費是可以有效降低的。

因此若是我們應用了電壓島的概念，使該電路的一部分能在容許範圍內以較低電壓工作，就能再進一步的節省更多的能源消耗，達成節省能源的目的。

目前已經有基於X架構並結合DME演算法的繞線研究[6][9]，由於結合DME的X繞線法已經在繞線長度與效能上有了不錯的表現(相對於傳統曼哈頓架構與一般繞線演算法)，故本篇論文引用此方法，應用於電壓島佈局環境中的時脈繞線。由於一個電路的效能取決於延遲時間長短與時脈差異的變化，故藉由此時脈繞線方法相信可使延遲時間減少並且達到零時脈差異，如此一來對於系統效能的提升自是可想而知。

然而，我們除了想使時脈延遲時間最短與使時脈差異為零之外，也希望可以更進一步的改善電源消耗問題，所以我們的實驗分別針對單一電壓島、雙電壓島與三電壓島做測試，實驗內容包括了原始單電壓島的DME-XP時脈繞線、使用雙電壓島並分別測試輸入相同電壓與兩個相異電壓的情況，以及使用三電壓島並分別測試輸入相同電壓與三個相異電壓的情況。本研究是應用了DME-XP繞線所做的進一步改良，所以可以建立一個零時脈差異的zero-skew clock tree，同時又能達到延遲時間的降低，繞線長度減短、節省電源消耗等多個目標。

### 第三節 論文架構

本論文第一章為緒論，將我們的研究主目標與想法做一個簡介，並對論文架構做一個簡介。第二章為背景介紹，將有關於本論文的背景知識與技術基礎和理論依序做介紹，包含各項名詞與演算法的說明。第三章則為問題描述，將本篇論文主要的研究問題點和期望目標做一個描述。第四章是研究方法，將我們實際的實驗方法與過程做一個詳述的說明。第五章內容主要是實驗環境設定與實驗結果呈現，包含各項實驗結果之數據與圖表。第六章則是結論與未來展望，根據我們對實驗數據的觀察結果做解析與結論，並將可行的未來研究改善方向提出些許建

議。

## 第二章、背景介紹

### 第一節 延遲模型(Delay model)

延遲時間是用來評估系統效能的一個重要參考，在同等條件下，延遲時間越短則可代表該電路之效率相對較佳，因此了解一個電路的延遲時間也是VLSI設計中的一項重要工作。

常見的延遲時間計量法中，Elmore delay(ED) model[24]算是一種非常知名而且傳統的方式之一，它是由Elmore[24]所提出的一個計算公式，其基礎計算式必須設定數項電路的條件參數，包括電容、電阻與線段長度等才可完成計算，通常適用於RC樹，如圖2-1所示為一個簡單的單一線段之 $\pi$ 型RC樹等效電路圖。

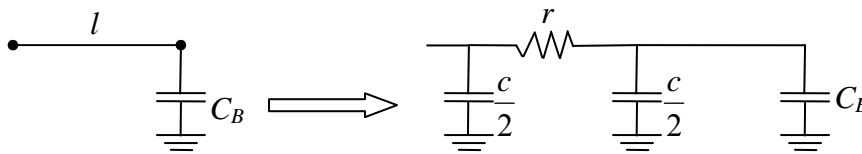


圖 2-1 RC 等效電路

在一個最簡化的Elmore delay model中，通常包含三項最基礎的參數：單位電阻 $r$ 、單位電容 $c_a$ 、線段長度 $l$ 以及負載電容 $C_B$ ，例如我們假設此線段有A與B兩端點，若要計算兩點連結線段的延遲時間，其公式如下所述：

$$d(A, B) = rl \left( \frac{c_a l}{2} + C_B \right) \quad (1)$$

然而考量到更複雜而細微的製程參數時，後來由Arif Ishaq AbouSeido et al. 提出了所謂的FED Model[17]，它也是一種電路延遲時間的計算公式，他認為傳統Elmore delay model的算式所得出的延遲時間常有估計值過高的失誤，故以準確性來說，Elmore delay model在精確度上面有它的限制存在，因此他提出了一

個準確度被認為相對較高的FED Model公式來做為評估方法。

如圖2-2所示為一個最小元件驅動一條線段(長度為 $l$ ，寬度為 $w$ )之延遲等效電路，其中各符號意義如下：

$r_d$  : the output resistance of a minimum device

$r$  : the sheet resistance

$c_a$  : the unit area capacitance

$c_f$  : the unit fringing capacitance

$c_l$  : the load capacitance

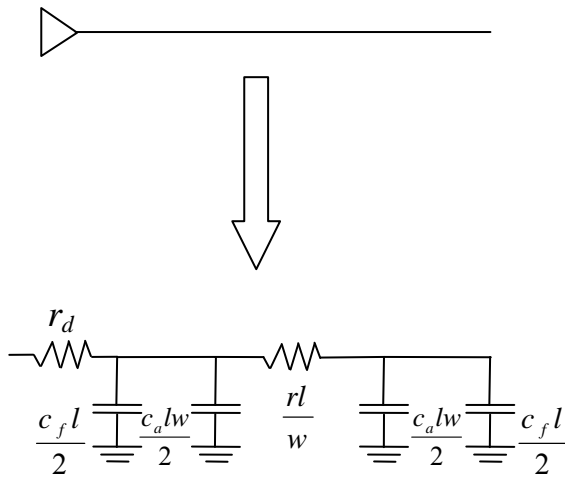


圖 2-2 FED Model 等效電路

故Elmore delay公式變化如下：

$$\begin{aligned}
 ED(r_d, c_l, l, w) &= r_d(c_a l w + c_f l + c_l) + \frac{rl}{w} \left( \frac{c_a l w}{2} + \frac{c_f l}{2} + c_l \right) \\
 &= r_d c_a l w + r_d c_f l + r_d c_l + \frac{rc_a l^2}{2} + \frac{rc_f l^2}{2w} + \frac{rlc_l}{w}
 \end{aligned} \tag{2}$$

而較精確的FED model的延遲時間計算公式如下：

$$\begin{aligned}
 & FED(r_d, c_l, l, w) \\
 & = A \cdot r_d c_a l w + B \cdot r_d c_f l + C \cdot r_d c_l \\
 & + D \cdot \frac{rc_a l^2}{2} + E \cdot \frac{rc_f l^2}{2w} + F \cdot \frac{rlc_l}{w}
 \end{aligned} \tag{3}$$

上式中 A,B,C,D,E 與 F 代表近似 HSpice 模擬資料的計算係數。

## 第二節 時脈繞線

所謂時脈繞線[2]的概念就如圖 2-3 所示，時脈繞線由一個時脈源(clock source)出發，而後經由線路結構連接到電路上工作區塊的各時脈端點(clock sink)，如圖中的灰條紋區塊輸入端點。藉此方式讓時脈源驅動電路開始運作，而我們在時脈繞線中藉由使用不同的電路佈局、繞線方式與線路方向設計等，儘可能使得時脈延遲(clock delay)最小與時脈誤差(clock skew)為零，同時能減低功率消耗，這些目標都是我們對於時脈繞線所關心的重點，藉此使系統效能夠趨近最佳化。

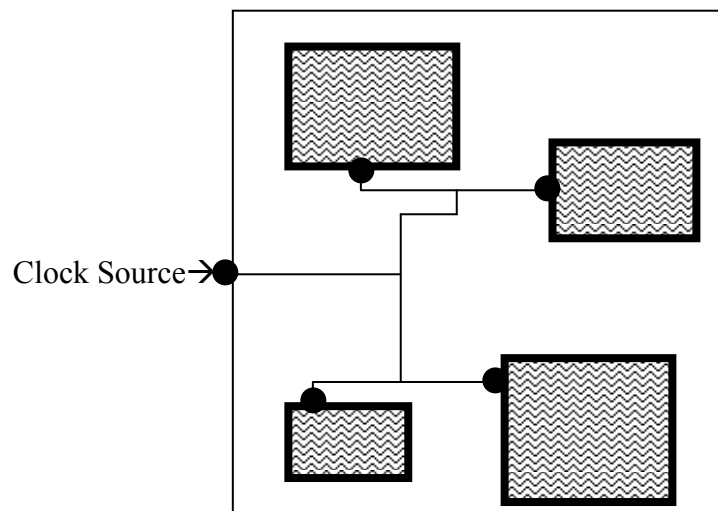


圖 2-3 時脈繞線概念圖

### 2-2-1 時脈延遲(Clock delay)

時脈延遲[2]通常便是指由時脈源出發之後到達任一個時脈端點為止之最大時間計量。如圖 2-4 所示是一個簡化的時脈電路結構圖，假設有兩個時脈端點 A 與 B，則訊號以時脈源為起點傳送到各端點的時間就稱為時脈延遲，基本上訊號到每個端點的延遲時間是不會完全一樣的，圖中所示 B 點的延遲時間就大於 A 端點。

對於  $n$  個 sink 的時脈繞線，其時脈延遲可定義如下：

$$\text{Clock delay} = \max(d_1, d_2, \dots, d_{n-1}, d_n) \quad (4)$$

其中  $\max$  代表求取最大值，而  $d_i$  為時脈源到第  $i$  個 sink 的時脈延遲。

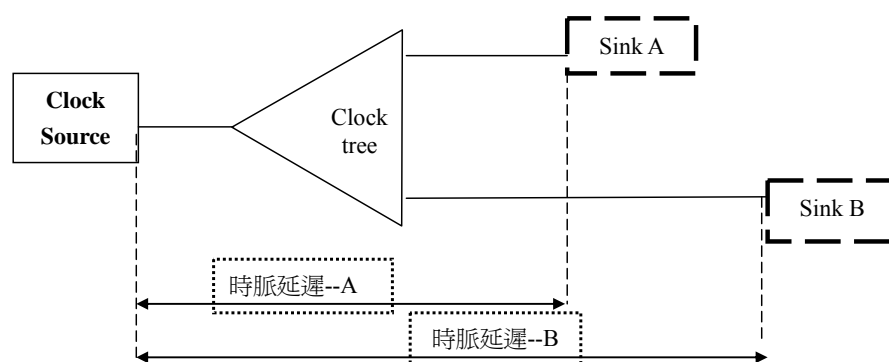


圖 2-4 時脈延遲示意圖

### 2-2-2 時脈差異(Clock skew)

時脈差異(clock skew)[4]的觀念繼承上一節的介紹，如圖 2-5 即是由上一節解說圖演化而來，時脈源到不同端點後所形成的各自時脈延遲時間，其中之最大的時脈延遲與最小的時脈延遲之差異值便是所謂的時脈差異。故對於  $n$  個 sink 的時脈繞線，其時脈差異可定義為：

$$\text{Clock skew} = \max(d_1, d_2, \dots, d_{n-1}, d_n) - \min(d_1, d_2, \dots, d_{n-1}, d_n) \quad (5)$$

上式中之  $\max$  與  $\min$  分別表示求取最大與最小值， $d_i$  代表時脈源到第  $i$  個 sink 的時脈延遲。

圖 2-5 是一個僅有兩端點的時脈樹之簡單例子，時脈源到 A 與 B 兩點後產生各自的延遲時間  $d_A$  與延遲時間  $d_B$ ，則延遲時間  $d_A$  與延遲時間  $d_B$  之間的差值便是所謂的時脈差異(clock Skew)。實際的 VLSI 時脈電路設計要複雜得多，由時脈源出發後經由時脈樹結構連接大量的時脈端點，在樹狀結構下的每一段連結與每一層的線路發展都會產生與累積出新的時脈差異[8]，其中的複雜度不言而喻。

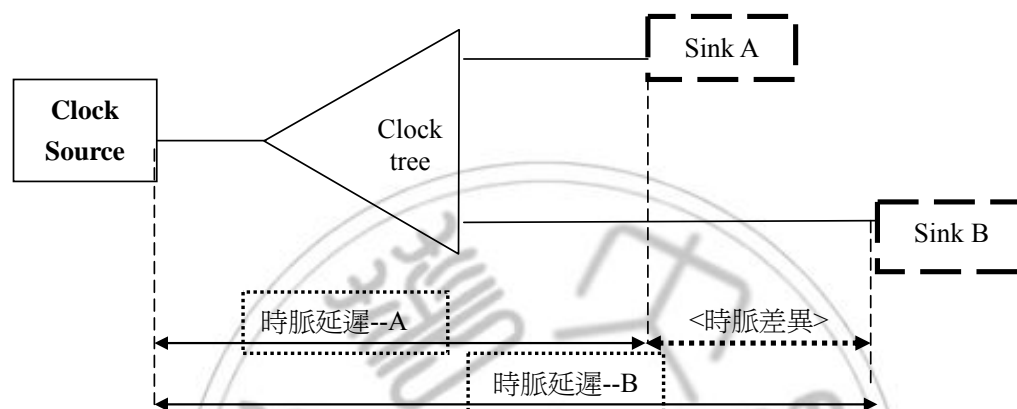


圖 2-5 時脈差異示意圖

時脈差異是評估電路的重要角色，也成為影響系統效能的關鍵之一。當時脈差異的數值比較小時，表示此電路的效能相對較好；反之，當其數值比較大時，反而會影響到電路的效能，甚至當時脈差異大到一定的程度時，將使整個電路系統無法動作[2]。

所以在電路設計這個領域，整個電路的延遲時間必須要慎重處理，這對於規劃和佈局電路時脈的過程很重要。在設計電路時，如果電路配置規劃得不好，那麼結果就會因為時脈規劃得不理想而產生很多預料外的問題[8]，甚至可能直接導致電路不能正常工作。它可能層層相累也可能會互相影響，在時脈差異過大的情況下就有可能間接造成上一層時脈樹的時差無法平衡，基於上述種種理由可見時脈差異的降低是很關鍵的目標。

### 2-2-3 零時脈差異 (Zero-skew) 的建構

常見的高效能時脈樹多是建構於 zero-skew (零時脈差異，或稱零時脈傾斜誤差) 的基礎上，針對 zero-skew 之建構方式，本篇論文所使用的方法是由 Tsay 在 1993 年提出的一種應用分接點與階層觀念的 exact zero-skew 時脈樹建構法[14]，藉由 tapping point 結合時脈樹架構來達成 zero-skew，這個方式是採用由下而上不斷遞迴合併兩子樹方法。如圖 2-6 所示為一個 FED 延遲等效模型，圖中我們連結了 S1 與 S2 兩個端點。

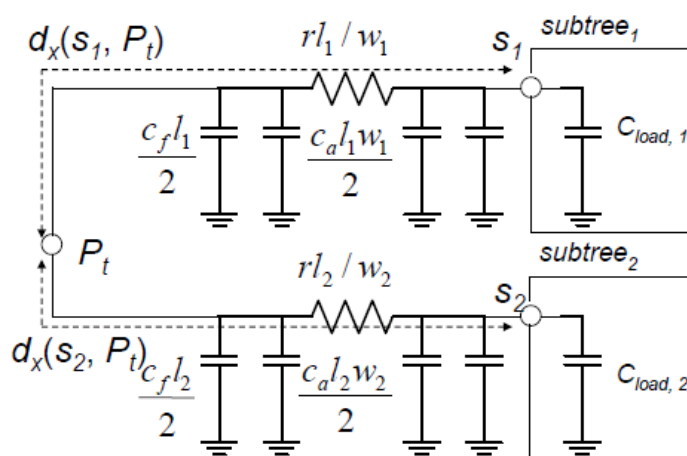


圖 2-6 考量 tapping point 之 FED 等效模型

圖 2-6 中的 S1 與 S2 在觀念上可以視為兩個端點或是兩個子樹，而兩點連結中我們會設定一個 tapping point，即圖中 Pt 點位置，Pt 點必須設置於兩端點的時延平衡點 (意即該點必須位於往 S1 與 S2 的 delay time 可以達成延遲時間平衡的位置)，如此才能達成該段連結的 zero-skew，即代表  $d(S_1, Pt) = d(S_2, Pt)$ 。

我們從點與點的連結可以形成子樹架構，再持續往上連結子樹與子樹，子樹與子樹完成連結後又會形成新的子樹結構，如此層層而上，最後完成整個時脈樹架構，並且點與點或是樹與樹之間的連結都必須找到一個 tapping point，我們在這過程中藉由調整每個 tapping point 的位置來保持 zero-skew。如圖 2-7 所示，圖中 T1 與 T2 假設是已建構完成之下層兩子樹，我們便再往上連結 T1 與 T2，而 T1 與 T2 之間我們又可以找到一個 tapping point，調整 tapping point 位置後，再



藉由這個 tapping point 再往上一層與其它子樹相連，直到最上層為止方完成整個時脈樹架構。

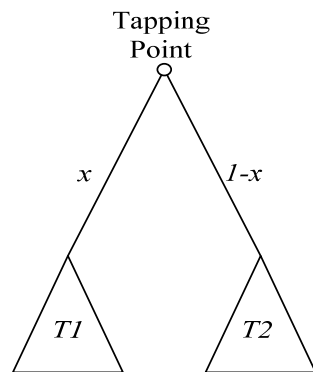


圖 2-7 時脈子樹連結示意圖

在決定兩顆時脈子樹之間連線的 tapping point 時，為了使 tapping point 至兩顆子樹的 skew 維持為零，我們定義 skew ratio 有三種情況，即  $0 \leq \alpha \leq 1$ 、 $\alpha < 0$  及  $\alpha > 1$ 。在  $0 \leq \alpha \leq 1$  的情況時，tapping point 可在兩顆子樹間的連線順利找到。但另外兩種情況，即  $\alpha < 0$  或  $\alpha > 1$  時，必須考量插入額外線段，我們將額外插入的線段稱為 snaking wire，如圖 2-8 所示，這個例子我們假設將 tapping point 設於臨近於 T1(或 T2)的邊界位置，仍無法達成 T1 與 T2 的時間平衡，在這個例子中的模式我們可知「tapping point 往 T1 的 delay time」遠大於「tapping point 往 T2 的 delay time」，故形成 tapping point 位於最接近 T1 的極端位置時仍無法達成時間平衡，這時我們便要再額外插入線段(snaking wire)，而該線段的長度視需求調整，我們藉此額外拉長 tapping point 往 T2 的 delay time 才有可能達成 zero-skew。

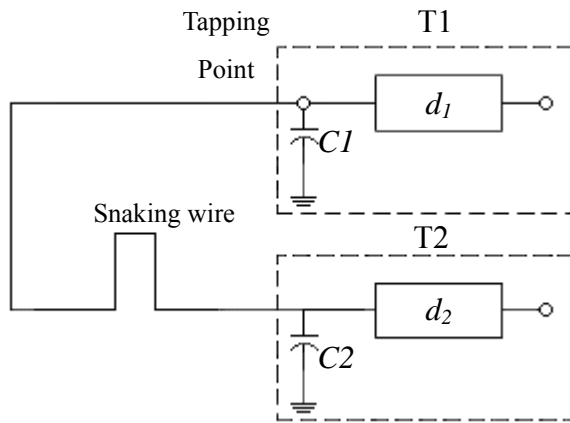


圖 2-8 Snaking wire 示意圖

本節所述觀念，便是將兩個零時脈傾斜誤差的子樹合併為一個新的樹，而這新的樹其時脈傾斜誤差也必須為零，依此類推，我們在每一個連結程序中藉由調整 tapping point 保持每個連結段落的 zero-skew，如此在往更上層做連結時可以確保下層已完成建構的部分能保持在 zero-skew 的狀態，如此層層而上將可建構出一個完整的 zero-skew 時脈樹。參考[8]，如圖 2-9 所示，先從 Level 0 開始依序往上做連結，Level 0 的連結在 Level 1 形成 tapping point，並且在 Level 1 階段構成初始子樹，接著再連結 Level 1 部分的子樹，那麼便會在 Level 2 形成 tapping point，並形成第二層子樹，依此類推，一層一層的由下往上，從最底層開始在每一階段都注意維持 zero-skew 的狀態才往上再做連結將可確保整個結構的時間平衡，最後便可以完成整個 zero-skew 時脈樹架構。

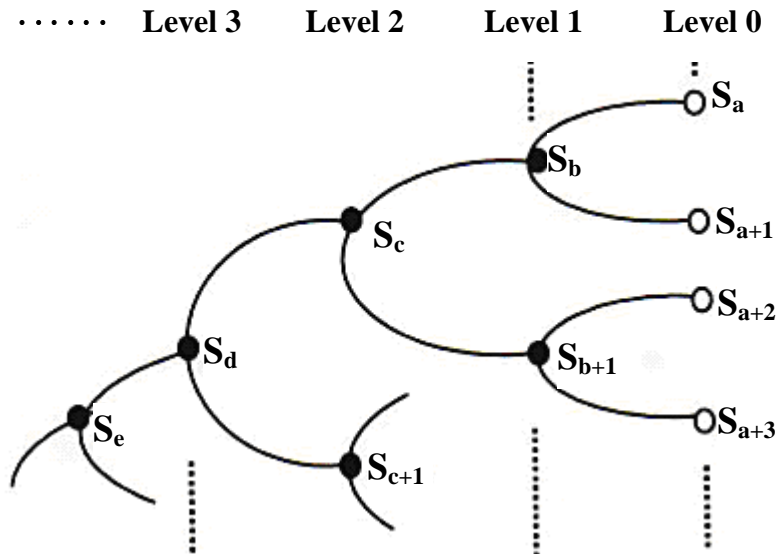


圖 2-9 階層式 zero-skew tree 示意圖

### 第三節 GMA時脈繞線演算法

在這一節我們要介紹一個相當著名的時脈樹建構演算法，這是 Kahng, Cong 和 Robins[21]在 1991 年提出來的，稱為 Greedy Matching Algorithm[21]，也被簡稱為 GMA 演算法，其命名在意義上便是指貪婪配對演算法，本演算法在程序結構上是以遞迴的方式，由下至上(Bottom-up)經幾何配對來產生時脈樹，以下便以圖示說明。

圖 2-10 表示一個八個時脈端點平面配置圖，在 GMA 演算法中，我們的首要目標便是尋找點與點之間的最短距離(或是繞線成本最低)來構成連結線。

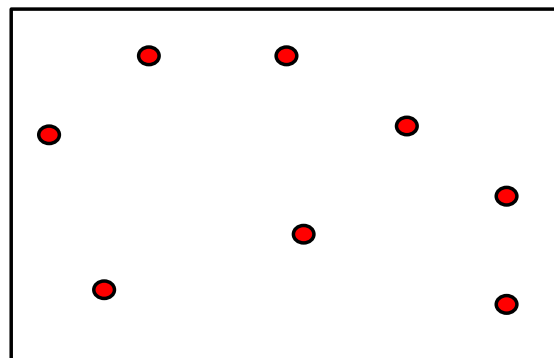


圖 2-10 八個時脈端點配置圖

如圖 2-11 所示便是將這八個時脈端點經由 GMA 演算法的第一步繞線結果，經由兩兩成對的連結繞線後，形成了四個幾何線段，下一步便是個別在每個線段中找出各線段的中點，當作是下一次要做相連的端點。

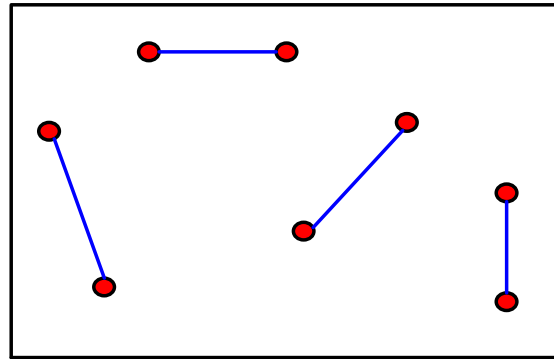


圖 2-11 GMA 繞線之一

圖 2-12 中所示便是將上一步連結後所找出的四個中點再做連結，原理同樣是尋求四點間的最短距離再做連線，而在這個階段還要考慮一個重要因素，必須判斷所要連接的兩子樹之延遲時間差距是否過大，若確認差距過大則必須考量是否要將子樹做翻轉(flip)的動作，若確認翻轉後能減少差距值便執行這個動作。

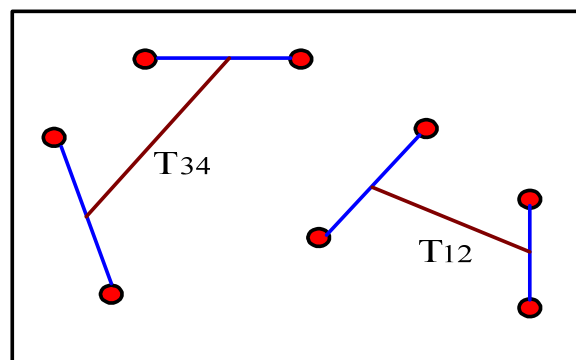


圖 2-12 GMA 繞線之二

如圖 2-13，便是經由翻轉後的最後繞線結果。

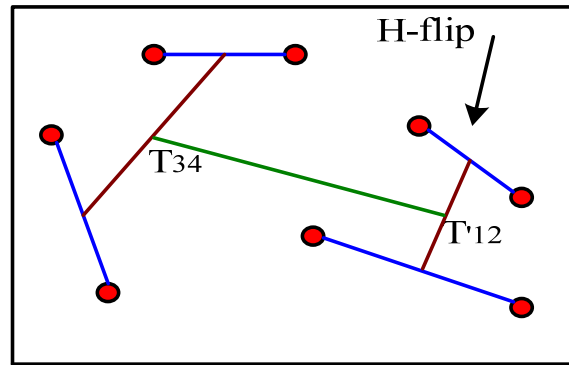


圖 2-13 GMA 繞線之三

## 第四節 DME 時脈繞線演算法

### 2-4-1 DME 時脈繞線演算法背景

1992 年 T. H. Chao et al. 提出了 DME (deferred-merge-embedding) 演算法 [25][26]，DME 演算法的作用就在於建置時脈樹，DME 方法在程序上主要分為兩步驟，第一階段為由下而上(bottom-up)，第二部驟為由上而下(top-down)。

在第一步 bottom-up 階段時，主要是由時脈樹拓撲(clock tree topology)所建立的連結次序來設定時脈樹內部節點(internal nodes)的連結線段，這個部分我們會使用到所謂的「merge segments」(又簡稱為 ms)，ms 所指的就是一個 internal nodes 可能被放置的位置的總集合區域，而在第二步的 top-down 階段，就是要根據第一步所得到的拓撲規則尋找每個 internal nodes 在 ms 上的明確位置，並依此完成節點的連線動作，建立起完整的時脈樹。而 DME 的優點在於可以建立起零時序(zero-skew)的時脈樹，同時又可以有效降低延遲時間，甚至相較其它典型繞線演算法有著更明顯的線長縮減[20]。

## 2-4-2 DME時脈繞線演算法說明

接著我們說明DME演算法中會使用到的兩個主要元素：ms(merge segment)與TRR(tiled rectangular region)：

1.ms：ms就是merge segments的簡稱，它代表了一個internal nodes或sink可能被擺放的位置集合，其斜率必為+1或是-1，長度則不一定，甚至可能為零(即代表一點)，如圖2-14：

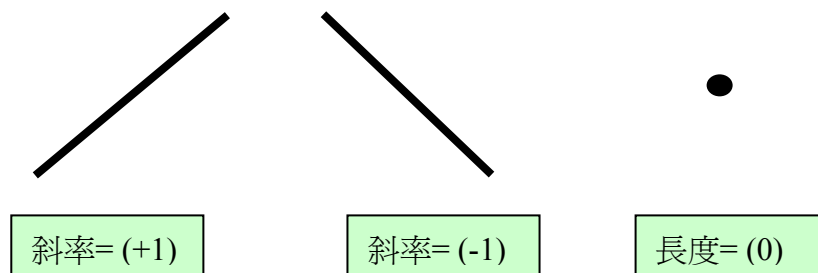


圖 2-14 ms 類型說明

2.TRr：TRR的構成以ms為核心(core)，並以此核心為中心往外延伸出固定的曼哈頓距離(Manhattan distance)成為其半徑值，而此核心至半徑的總區域就形成一個具45度或135度傾斜角的矩形區域，如圖2-15：

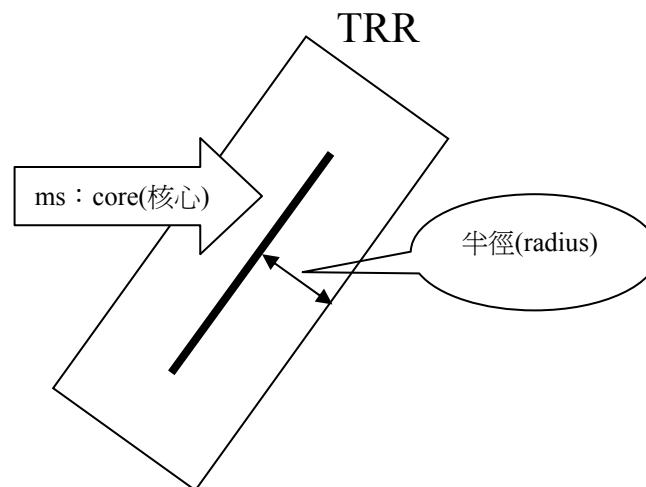


圖2-15 TRR區塊示意圖

而每一塊TRR區域的交集就形成我們所說的ms線段，如圖2-16：

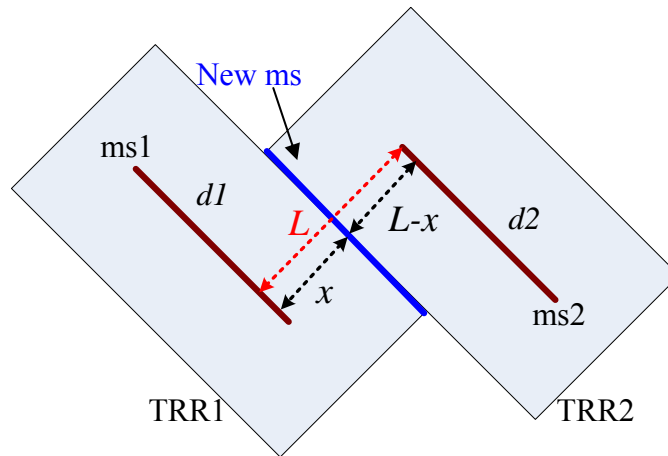


圖 2-16 ms 形成示意圖

在圖2-16的各項符號中，我們給予以下定義：

ms1 & ms2 : merge segments

New ms : ms1和ms2的TRR區域合併後之重疊線段

$d_1$  &  $d_2$  : 從ms1或ms2到sink的delay值

$L$  : ms1到ms2之間的距離

$x$  : new ms到ms1的距離

$(L-x)$  : new ms到ms2的距離

其中new ms的定義為從new ms到ms1及ms2的delay值( $d_1$ 與 $d_2$ )必須相等，所以必須滿足下列公式[1][3]：

$$rx\left(\frac{C_a}{2}x + c_{l-1}\right) + d_1 = r(L-x)\left(\frac{C_a}{2}(L-x) + c_{l-2}\right) + d_2 \quad (6)$$

上式中的 $r$ 與 $C_a$ 分別代表單位電阻與單位電容， $C_{l-1}$ 與 $C_{l-2}$ 分別代表ms1與ms2的downstream capacitance，依此公式可得出一個 $x$ 值，而ms1便會依 $x$ 值來決定其TRR半徑大小(ms2依此類推)。

在滿足上列公式的前提下，我們的ms分佈與TRR區域的格式都會依實際情況而產生不同的變化，並且根據ms與TRR的配置結果的不同，我們就必須給予相應的繞線程序與處理。

以下分別介紹在不同的 $x$ 值下產生的各種情形與其處理方式，原則上，我們會有以下三種情況：

Case1 :  $0 \leq x \leq L$

如圖2-17，當 $0 \leq x \leq L$ 時，ms1與ms2的TRR可以剛好重疊在一個線段上，而這個線段就是new ms，並且new ms可以剛好介於ms1至ms2之間，這個case是一般的理想情況。也就是new ms到ms1與ms2的距離剛好分別等於 $x$ 與 $L-x$ ，其兩端的delay值可在直接連結下得到平衡。

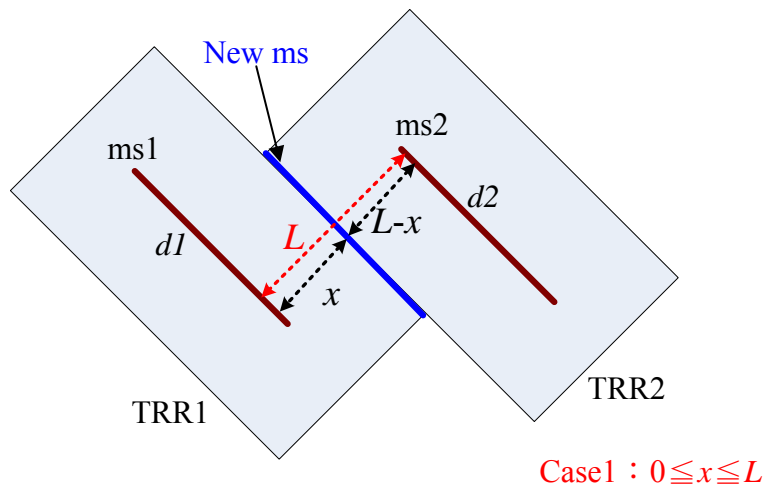


圖 2-17 case1 情況下的分佈圖

Case2 :  $x < 0$

如圖2-18所示，在 $x < 0$ 的情況下，new ms的位置會和ms1重疊，那麼new ms的位置就剛好在TRR邊界的極限，但若此時new ms到ms2的值大於 $L$ ，則代表無法以 $L$ 的長度直接進行new ms與ms2的連接來達到ms1和ms2之間delay的平衡，在這種情況下就必須在new ms與ms2之間再加入額外的線段(extra wire)，以求達到ms1與ms2兩邊delay的平衡，這也就是所謂的snaking wire，而必須加入的額外線段(extra wire)的值就是new ms到ms2的距離數據和現有 $L$ 數據的差值。

其描述式如下：



$$\text{Distance}(\text{new ms}, \text{ms1}) = 0$$

$$\text{Distance}(\text{new ms}, \text{ms2}) = L + \text{extra wire}$$

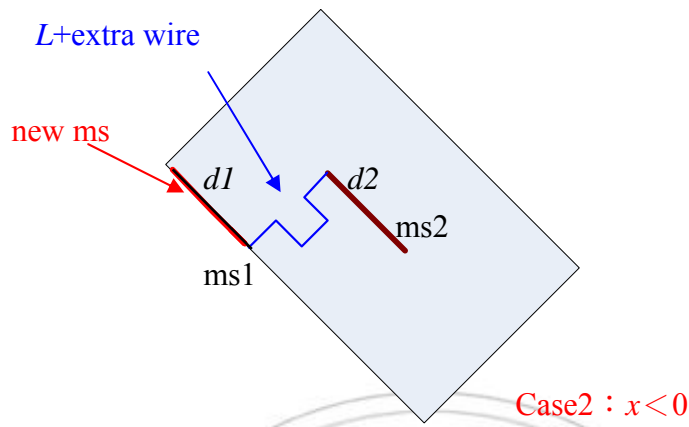


圖 2-18 case2 情況下的分佈圖

Case3 :  $x > L$

同理可證在  $x > L$  的情況下也是同樣原理，但方向不同，如圖2-19，其new ms 的位置會重疊在ms2之上，其描述式如下：

$$\text{Distance}(\text{new ms}, \text{ms1}) = L + \text{extra wire}$$

$$\text{Distance}(\text{new ms}, \text{ms2}) = 0$$

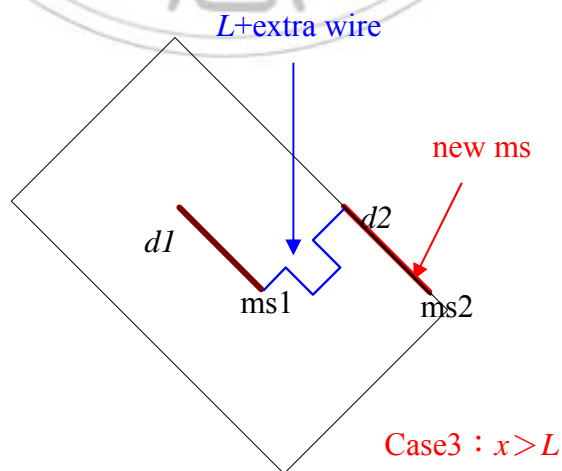


圖 2-19 case3 情況下的分佈圖

### 2-4-3 DME時脈繞線演算法詳述

以下介紹DME時脈繞線演算法的詳細步驟，本方法共分兩大階段，其一為由下而上(bottom-up)，其二為由上而下(top-down)。

#### A、bottom-up階段：

1.在bottom-up階段會由一個拓撲來設定連結次序，而假設我們現在有端點s1、s2、s3與s4及一個clock source s0共五點要完成連結，我們在一個平面格狀圖上，假設每一個grid等於一個單位的delay time，配置如圖2-20所示。

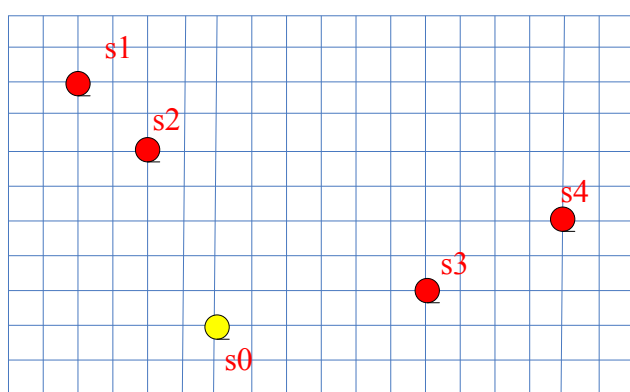


圖2-20 DME配置範例

2.假設在拓撲表下，我們已確定s1與s2要互連，而s3則是與s4連結，則我們會先以s1與s2兩端點成爲長度爲零的兩個ms核心(core)，並各自以此核心擴展出一個TRR區域，則這兩個TRR區域的相交線就被設爲ms1，此ms1的意義爲從ms1到s1與s2的dealy time相同，如圖2-21所示，ms1到s1與s2的最短格數都等於2。

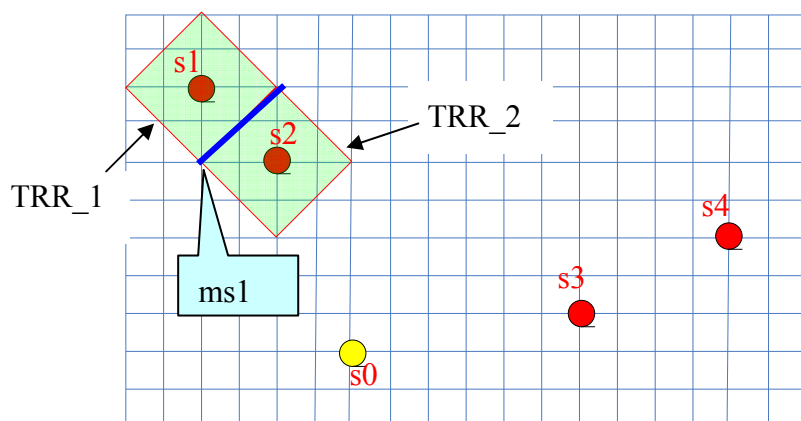


圖2-21 ms1的構成

3.同理，我們依同樣步驟可以再找出s3與s4之TRR區域的相交線段ms2，則此ms2的意義一樣是代表從ms2到s3與s4兩點的delay time都一樣為3，如圖2-22。我們就依此原則，循環重複同樣程序就可以陸續找出下一層的ms與ms之間的交界點再形成新的ms。

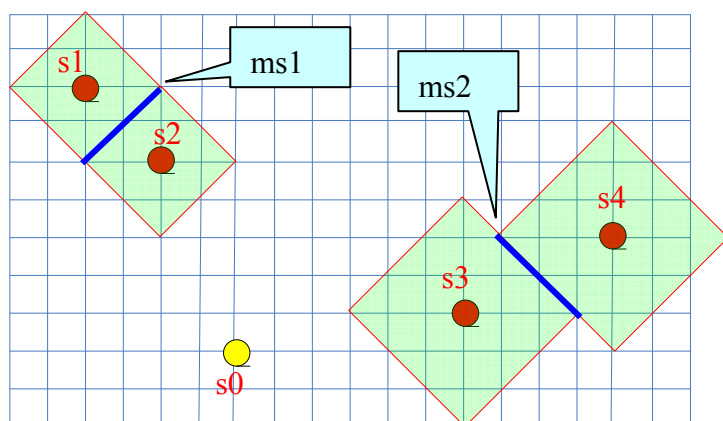


圖2-22 ms2的構成

4.我們從上一步的配置結果(圖2-22)已知道ms1到其子端點的格數為2、ms2到其子端點的格數為3，而我們也知道ms1與ms2的最短距離為13，因此我們以同樣的順序分別再以ms1與ms2為核心各自擴展出TRR區域找出其相交線段ms3，根據前面所描述的定義，ms3到各端點的delay time必須相同。所以在上述前提下，我們必須在總長度為13的情況再加上子長度為2與3的情況下找出一個平衡點。

如2-23圖所示，我們以ms1為核心擴展出半徑為7的TRR區域，再以ms2為核心擴展出半徑為6的TRR區域就可找出ms3，ms3到ms1和ms2的距離總合就等於7+6=13，符合要求，而從ms3再連接到ms1與ms2所屬的子端點的距離就分別等於7+2和6+3，所以都可以相等於9。

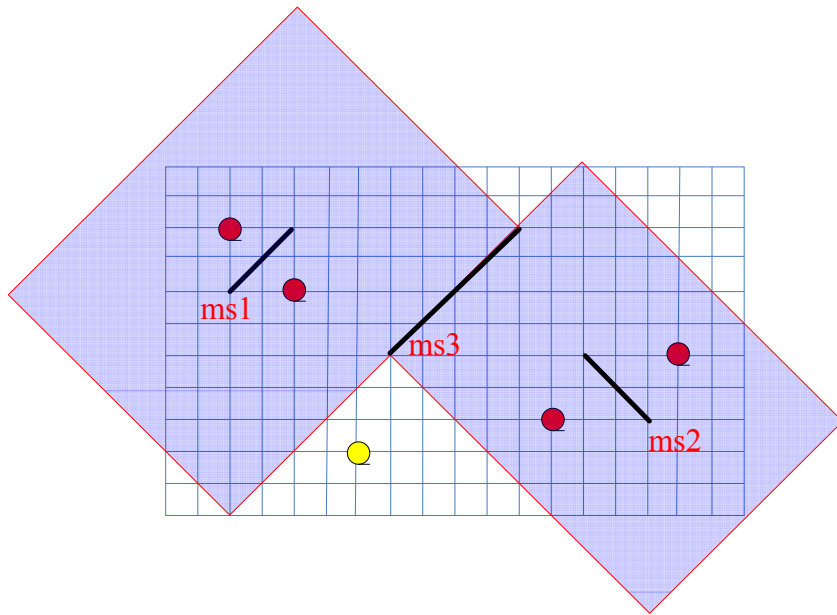


圖2-23 ms3的構成

5.在我們找出所有必須的ms線段後，我們就完成了DME演算法的第一階段，也就是bottom-up步驟，結果如圖2-24所示：

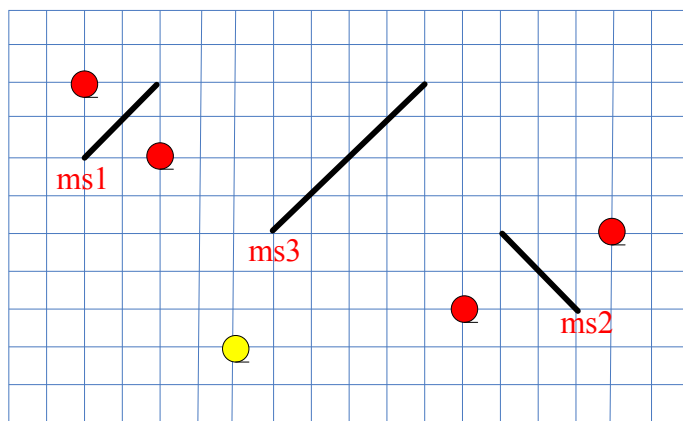


圖2-24 bottom-up階段的ms配置結果

## B、top-down階段：

接著，我們就開始了DME演算法的第二階段，也就是top-down步驟，我們依前面的搜尋結果，從clock source(也就是s0)為起點開始依序與各ms完成連結，直到完成所有端點的連線後就完成了DME演算法，過程詳述如下：

1.如圖2-25，我們先從ms3找出與clock source s0的最短距離點，並從此點與s0連線：

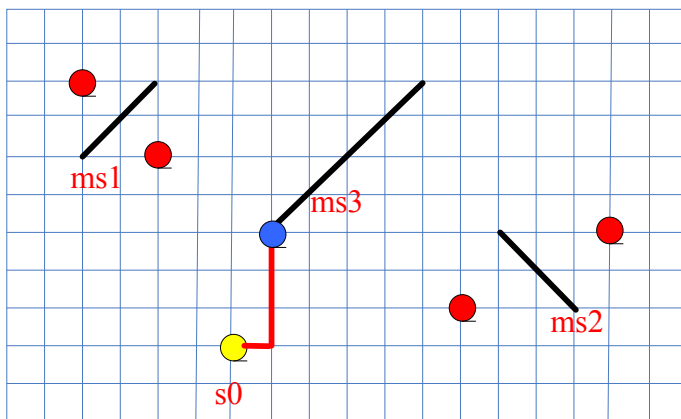


圖2-25 top-down階段的起始繞線

2.第二步再以上一步中同樣的連結端點分別與ms1及ms2的最短距離點完成連線，如圖2-26所示：

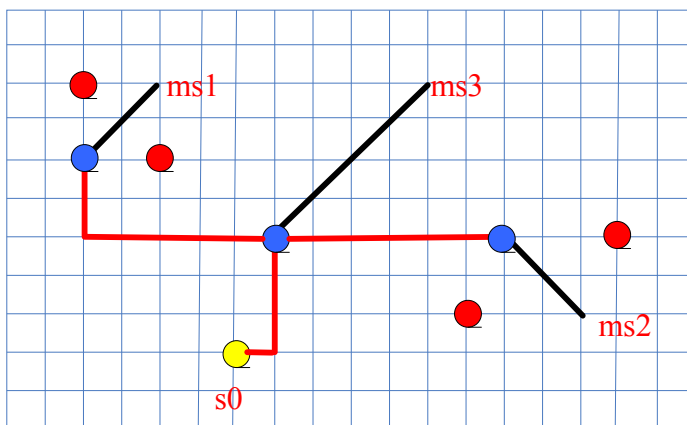


圖2-26 top-down繞線階段示意圖之二

3.依此類推，直到完成所有ms與其所屬子端點的所有連線為止，則DME演算法才算完全結束，本範例的繞線結果如圖2-27所示。

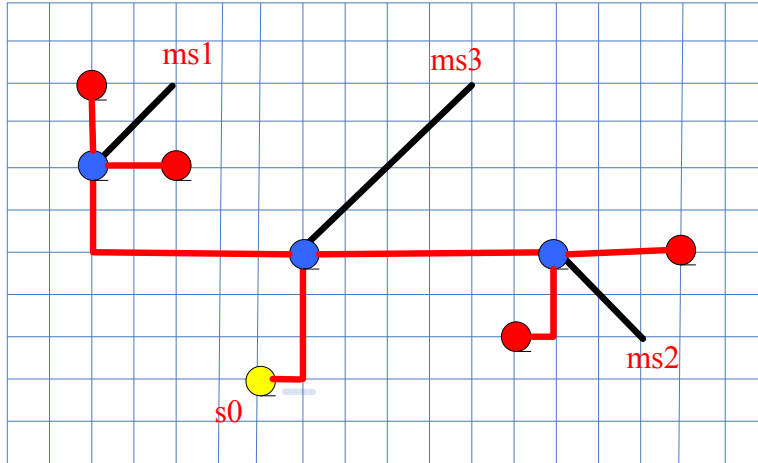


圖2-27 DME繞線結果

上述是一個簡化過的例子，實際上的繞線複雜度會隨著時脈端點數量的增加而愈加明顯，且各項電路變數的不同也會使得繞線產生不同結果，但基本步驟與法則是不變的。

## 第五節 X架構下的DME時脈繞線

X 繞線不同於曼哈頓繞線之處在於除了水平垂直線段之外也納入了斜向 45 度之線段的使用，使得繞線方向的選擇更具有彈性，X 架構下的時脈繞線已經被證明相較於曼哈頓架構較能節省繞線長度[5][6][9]。以下我們分別比較兩種結構下的線段長度，如圖 2-28 所示，圖中的 s1 與 s2 為欲連結的兩個端點，而(a)圖與(b)圖分別代表 $\Delta x > \Delta y$  以及 $\Delta x < \Delta y$  兩種繞線情況。

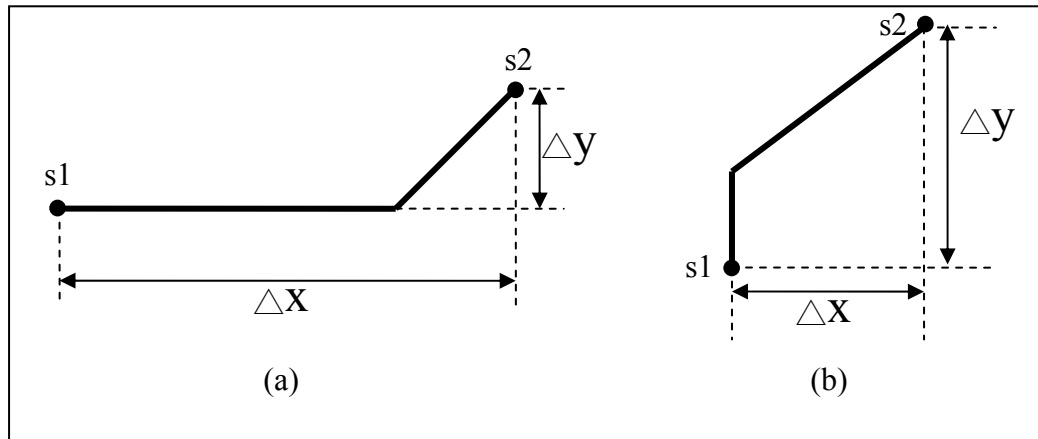


圖 2-28 曼哈頓結構與 X 結構比較

在曼哈頓架構與 X 架構下的線段長度我們可以從簡單的幾何公式算出，如上圖 2-28 中，虛線部分代表曼哈頓模式的垂直水平繞線，粗線部分代表 X 模式下的繞線。

我們定義  $s1$  與  $s2$  之間的長度變數為  $L$ ，則在曼哈頓結構下的  $L = \Delta x + \Delta y$ 。若是在 X 結構下，參考圖 2-28 裡 (a) 或 (b) 的情況， $L$  分別可表示為  $L(a) = \Delta x + (\sqrt{2} - 1)\Delta y$  或  $L(b) = \Delta y + (\sqrt{2} - 1)\Delta x$ 。很顯然地，X 結構下的繞線長度較曼哈頓結構下的繞線長度短。

### 2-5-1 DME-4時脈繞線演算法

接著我們要介紹一個由 Shen et al.[6]在2006所提出的一種專門針對X架構的時脈繞線演算法，它被稱為DME-4。DME-4演算法是基於X架構下改良的DME演算法之一，它的基本結構和連結方式與傳統DME演算法相似，不同的是傳統DME是以四邊形擴展相交處得出ms線段(merging segment)，但DME-4則是以八角形的擴展相交處為ms，如圖2-29所示，圖中 $s1$ 與 $s2$ 為欲連線之兩端點，各以其為中心延展出的八角形相交處為ms位置，此ms到 $s1$ 與 $s2$ 的delay time必須相等。

在傳統DME演算法中，其四邊形擴展區域稱為TRR，而在DME-4中的八角形區域則稱為TOR(tiled octangular region)。DME-4與DME的程序相似，我們有一個由下而上(bottom-up)的階段，從每個端點建構出的TOR交界線找出ms後，再依

序層層而上由每個ms擴展出的TOR交界得出上一層的ms，直到完成所有ms的尋找後，便接著進行由上而下(top-down)的階段，由上層ms開始往下層ms一直到基礎端點依序做連結，直到所有端點都完成連結為止。

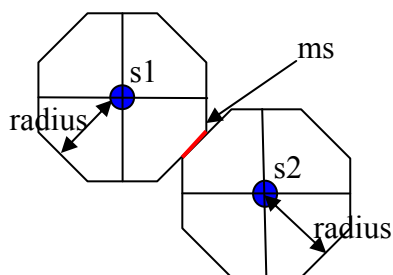


圖2-29 DME-4演算法示意圖

## 2-5-2 DME-X時脈繞線演算法

DME-X演算法[9]是在DME-4的基礎上發展出來的新式X架構時脈繞線演算法，它是由Chung-Chieh Kuo and Chia-Chun Tsai et al.於2007年所提出，同樣地，其方法結構具傳統DME特性，先使用GMA求出最短路徑的端點連結配對，並依此建立連結順序，並設定一個拓樸，此拓樸定義了連結規則，稱為X-Topology。

DME-X演算法簡化了DME-4的ms規劃程序，它以DME-4的TOR為基礎，將兩端點的兩個TOR區域簡化為單一個平行四邊形，如圖2-30，這個四邊形實際上是由s1與s2之間兩種type的連線組合而成，而將這兩條相異type線段的Tapping Point相連便可以形成一個ms，圖2-30中的Pt與Pt'即是代表兩個Tapping Point，在這個觀念上，依然類似於傳統的DME，我們可以得知ms的位置即為s1與s2之delay time的平衡點，這個階段的動作屬於由下而上(bottom-up)的部分，同樣的，在完成ms的建構後也是開始由上而下(top-down)的連結程序。



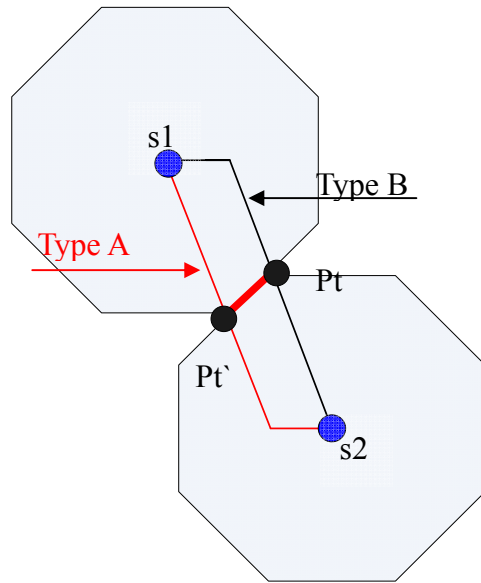


圖2-30 DME-X演算法示意圖

# 第三章、問題描述

## 第一節 X-topology表之建置

為配合 X 結構之時脈繞線，首先須建置連結兩個端點的一個 X 結構拓撲表 (X-topology)，並做為 X 繞線型態之依據，其建置規則針對一個端點將整個繞線區域分為四區域：LT(left-top 左上)、LB(left-bottom 左下)、RT(right-top 右上)、RB(right-bottom 右下)，如圖 3-1 示。

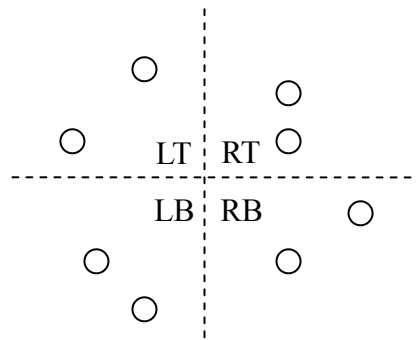


圖 3-1 繞線分區示意圖

將整個區域分割為四區後，接著針對內部的每一個端點來說，每個端點都擁有屬於本身的四個子區域，如圖 3-2 所示，我們放大到針對一個端點來看，每個端點基於四個不同的繞線方向而擁有 SLT(sub-left-top)、SLB(sub-left-bottom)、SRT(sub-right-top)、SRB(sub-right-bottom)等四個子區域。最後再依兩個端點所在的區域來決定適合的 X 結構繞線。

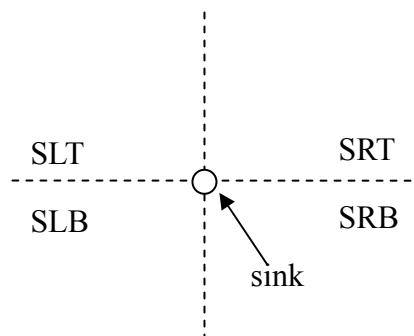


圖 3-2 一個端點的子區域

以圖 3-3 所示為例，端點  $s_1$  位於 LT 並且要與另一端點  $s_2$  連線，依序考慮  $s_2$  的相對位置落在 SLT、SRT、SLB、SRB 等四個不同方向時的狀況，並假設佈局平面的中心點在右下方，則對應的  $s_1$  連接到  $s_2$  的連線會較傾向右下方，而能促使此連線較短，因此  $s_1$  對應到 SLT、SRT、SLB、SRB 等四個子區域的  $s_2$  各為 rand、type1、type2、rand 這樣的連線型態，type1 與 type2 分別代表兩個 X-pattern，而 rand 則代表 type1 與 type2 擇一。

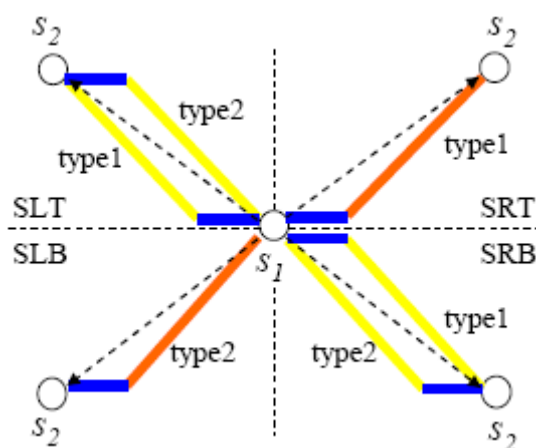


圖 3-3 X 拓撲示意圖

依據上述原則，假設  $s_i$  為起始端點並位於四個區塊之一， $s_j$  為終結端點且位於四個子區塊之一，兩端點  $s_i$  與  $s_j$  之連線可推導出 X-pattern 匹配法則，並整理出 16 種 X 連線拓撲型態，此稱為 16-Kind of X topologies [9]，表列如下：

表 3-1 16-Kind of X topologies

The zone of start point $s_i$	The zone of end point $s_j$			
	SLT	SRT	SLB	SRB
LT	<i>rand</i>	<i>type1</i>	<i>type2</i>	<i>rand</i>
RT	<i>type1</i>	<i>rand</i>	<i>rand</i>	<i>type2</i>
LB	<i>type2</i>	<i>rand</i>	<i>rand</i>	<i>type1</i>
RB	<i>rand</i>	<i>type2</i>	<i>type1</i>	<i>rand</i>

上述這份拓撲表建立了一個不重覆的 X 連線規則，分別讓不同區域的兩個端點在對不同方向做連線時有所依循。

在此必須說明並強調連線型態(type)中的 rand 實際上並不是隨機擇一，而是取「s1 連向 s2」與「s2 連向 s1」的交集。另外，對於穿孔數(vias)的考量，鄰近層的相連接須有一個穿孔作橋接，如 M1-M2，M2-M3，或 M3-M4 等。如果鄰近兩層的連接，則須兩個穿孔數，如 M1-M3 或 M2-M4 等。

## 第二節 時脈繞線問題定義

本篇論文的主要問題在於將電壓島結合 DME-XP 時脈繞線法的使用之後，是否能夠進一步減少該繞線的功率消耗？並且同步觀察 DME-XP 在使用了多區繞線之後其延遲時間與繞線長度有何變化？

實際上我們的主要過程是先輸入已知的電路端點配置檔，來源為 IBM Benchmarks，該檔案內容包含了所有端點之座標與其電容值，我們的電路端點配置檔從 r1 至 r5 共有 5 個範例，之後我們會將繞線區域分割為數個區塊後，並將每個端點依其位置分別置入相應區域，接著針對每個區塊分別執行 DME-XP 時脈繞線，最後再將各區域連結起來，如圖 3-4 所示即為兩個電壓島繞線的模擬狀況，我們將此繞線區域分為左右兩個輸入不同電壓的區塊，並將所有電路端點依位置歸在左區與右區，並分別完成兩個區域的時脈繞線，最後才將兩個區域結合。

本研究之關鍵在於連結各區塊時必須插入 level shifter 元件，而插入此元件後對於功率消耗、延遲、繞線長度及穿孔數都會有若干程度的影響，這些變化都是我們要觀察的，因此最後的輸出結果包含了延遲時間、時脈差異值、繞線長度、穿孔數與功率消耗等等。

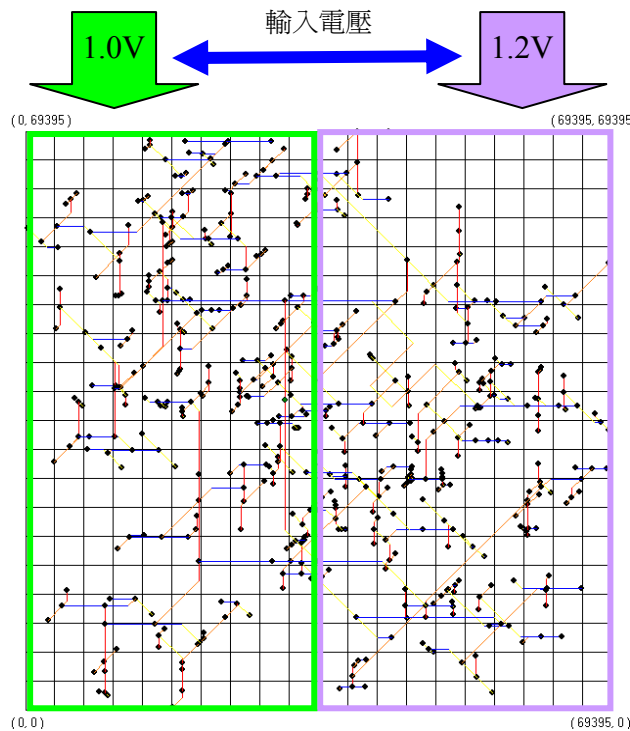


圖 3-4 雙電壓島分區繞線模擬圖

我們在執行時脈繞線時，依樹狀結構之原理須在端點間尋找連結配對，然而此舉並非單純做兩兩成對的端點連線即可，我們有兩個基礎目標，其一為尋求延遲時間(delay time)最小，其二為使時脈誤差為零，此兩項規則將會直接的影響到整個電路的效能。此外，繞線長度與功率消耗也必須儘可能的減到最小。

首先，我們必須了解，在時脈繞線的過程中，盡可能的使得延遲時間(clock delay)縮減，對於整體電路的效率就能有所提升，當然我們也必須明白，延遲時間受到背後的各項環境條件影響，如電容、電阻、各種電路元件的置入以及繞線長度等等，這些都直接影響了延遲時間的高低，在這些基礎條件之外，繞線方式的不同也造就了不同的繞線結構，故此才會有那麼多針對繞線方法的研究，這也是我們能夠直接嚐試改善的部分。

同時，我們也必須使時脈誤差(clock skew)為零，意即我們必須建立一個零時脈誤差之時脈樹(zero-skew-tree)，從前面章節所述，我們可知時脈誤差過大對於一個電路的負面影響相當明顯而且複雜，可能會使電路產生預料外的故障或停

擺，故我們不得不相當注意時脈誤差的問題。

其次，繞線長度與總功率消耗的狀況也必須重視，尤其繞線長度對於延遲時間來說也是影響因素之一，故不可忽視它對系統效能帶來的影響力，同時，當繞線長度與功率消耗能夠降低時，對於該時脈繞線之建構成本必然也能有所改善。

綜合以上的敘述與說明，顯而易見的，我們在時脈繞線階段就形成了四個不可忽視而且相當重要的問題，第一是使延遲時間最短，第二是使時脈誤差為零，第三是繞線長度的減少，第四是功率消耗的改善。所以，這就成爲了我們在繞線階段的四大目標，故本研究之所以採用 DME-XP 時脈繞線方法乃是希冀在該基礎上能奠定較佳之成果。

本研究在完成整體時脈繞線後的輸出資訊將會列出延遲時間、時脈差異值、繞線長度、穿孔數、功率消耗及總執行時間，以藉此了解程式效率及應用在電壓島之上的 DME-XP 時脈繞線會呈現出什麼成果。

綜合以上的敘述與說明，我們可將本研究要解決的時脈繞線問題定義如下：  
輸入資料：已經知道一組  $n$  個時脈端點及對任意兩端點間連線之一組 X-topology 表，且此  $n$  個時脈端點可分割成多重電壓島的佈局環境。  
輸出目標：在 X 結構下，完成此多重電壓島之  $n$  個時脈端點的繞線，並能得到時脈延遲最小、繞線長度最短、功率消耗最低且達成 zero-skew 之時脈樹。

### 第三節 延遲模型與功率消耗評估

以往我們在評估clock delay時，Elmore delay(ED) model[24]是被廣泛使用的計算連線延遲的方式之一，但Elmore delay model的算式所得出的延遲時間常有估計值過高的失誤，所以以準確性來說，Elmore delay model在精確度上面有它的限制存在，因此我們選擇使用準確度相對較高的FED(Fitted ED) Model[17]公式來做爲評估連線延遲的方法。

在FED Model的公式中，除了A~F六個基本係數之外，我們也必須為一個存在的線段設定以下變數：

$r_d$  : the output resistance of a minimum device

$c_g$  : the input capacitance of a minimum device

$r$  : the sheet resistance

$c_a$  : the unit area capacitance

$c_f$  : the unit fringing capacitance

在FED Model文獻中，各變數依據不同製程而分別給定不同參數，如表3-1[17]所示：

表 3-2 FED 各製程參數

Tech. ( $\mu\text{m}$ )	0.25	0.18	0.13	0.07
$r_d(\Omega)$	16200	17100	22100	22100
$c_g(fF)$	0.282	0.234	0.135	0.066
$r(\Omega/\mu\text{m})$	0.073	0.068	0.081	0.095
$c_a(fF/\mu\text{m}^2)$	0.059	0.060	0.046	0.056
$c_f(fF/\mu\text{m})$	0.082	0.064	0.043	0.040
A	$1.00724 \times \ln 2$	$1.00962 \times \ln 2$	$1.01258 \times \ln 2$	$1.01863 \times \ln 2$
B	$1.02993 \times \ln 2$	$1.03047 \times \ln 2$	$1.03010 \times \ln 2$	$1.02619 \times \ln 2$
C	$1.00332 \times \ln 2$	$1.00426 \times \ln 2$	$1.00511 \times \ln 2$	$1.00530 \times \ln 2$
D	$1.12520 \times \ln 2$	$1.12524 \times \ln 2$	$1.12673 \times \ln 2$	$1.13639 \times \ln 2$
E	$1.10598 \times \ln 2$	$1.10582 \times \ln 2$	$1.10463 \times \ln 2$	$1.09722 \times \ln 2$
F	$1.04665 \times \ln 2$	$1.04468 \times \ln 2$	$1.04836 \times \ln 2$	$1.06471 \times \ln 2$

假設有一個已經知道長度 $l$ 與寬度 $w$ 的條件值之線段 $i$ 存在，那我們就可以FED Delay Model來求出該線段的延遲時間。

首先，假設有一端點 $i$ (sink  $i$ )，且已知該點負載電容load capacitance( $c_L$ )，在給定各項基本條件及FED係數後，我們便可以根據以下公式[9]得出該線段延遲時間：

$$FED(c_L, l, w) = r \frac{l}{w} \left[ \frac{(Dc_a w + Ec_f)l}{2} \right] + Fc_L \quad (7)$$

而我們也可以依下面之公式來求出特定端點(假設為*i*)之電容值。

$$C_{load,i} = \begin{cases} c_{L,j} & \text{if } i \text{ is a sink } S_i \\ \sum_{j \in T(i)} \left[ \frac{(Dc_a w_j + Ec_f)l_j}{F} + C_{load,j} \right] & \\ & \text{if } i \text{ is an internal node} \end{cases} \quad (8)$$

其中之*T(i)*表示其下游子樹之集合。

最後，依此類推，我們就能依下列公式進一步求出整個時脈樹(由端點*i*至端點*k*)之延遲時間*d<sub>k</sub>*：

$$d_k = \sum_{i \in P(k)} r \frac{l_i}{w_i} \left[ \frac{(Dc_a w_i + Ec_f)l_i}{2} + FC_{load,i} \right] \quad (9)$$

上述公式(9)的結果便是我們所得知的延遲時間數值，雖然本論文之方法不考慮buffer之使用，故上述公式並未使用到*A~C*與*r<sub>d</sub>*參數，但須注意本論文的研究中考量到了level shifter元件的插入，而level shifter實際上可以等效為buffer，故在level shifter插入階段便須使用以下公式來計算該元件的插入對延遲時間之影響，我們用*d<sub>LS</sub>*來表示插入level shifter之線段的延遲時間：

$$d_{LS} = r_d \left[ l(Ac_a + Bc_f) + Cc_L \right] + r \frac{l}{w} \left[ \frac{(Dc_a w + Ec_f)l}{2} + Fc_L \right] \quad (10)$$

除此之外，當然我們不只關心延遲時間的狀況，在做時脈繞線設計時我們也要考慮功率消耗的結果，這亦是我們必須注意的一個問題，功率消耗的評估公式[9]如下：

$$Power = \sum_{\forall ei} C_{load,i} F_{clk} Vdd^2 \quad (11)$$

上式中各變數的意義如下：



$F_{clk}$  : clock frequency(時脈頻率)

$V_{dd}$  : supplying voltage

$C_{load,i}$  : the capacitance of sink i or point i

#### 第四節 位準轉換器(Level shifter)

位準轉換器(level shifter)乃是電壓島連接中的重要元件，此元件對電路造成的影響條件包含了其本身之電容、電阻及延遲等，如圖 3-5 所示即為其等效電路圖，其中  $C_{LS}$  為輸入電容， $T_{LS}$  為內部延遲時間，而  $R_{LS}$  為輸出驅動電阻。

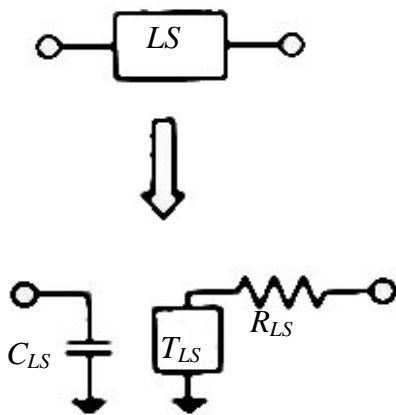


圖 3-5 Level shifter 等效電路圖

若在電壓島連結中忽略了位準轉換器的使用就無法順利完成電路的連結，真正關鍵之處在於兩個區塊分別使用不同電壓的情況下，我們便需要在兩個區塊之間插入 level shifter 才可以順利連結兩個相異電壓的驅動。並且要注意 level shifter 只須於低電壓連結到高電壓處插入[12][16]；反之，高電壓連結低電壓或是相同電壓的情況下不須考慮使用 level shifter，如圖 3-6 所示。

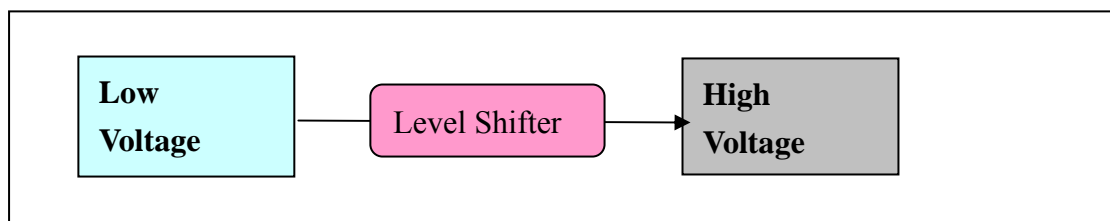


圖 3-6 Level shifter 的插入

值得關切的是 level shifter 其實可以等效為一個 buffer 架構[12]，如圖 3-7 所示，故可知 level shifter 除了做為相異電壓的連結元件之外，對於延遲時間的改善也有一定程度的幫助。

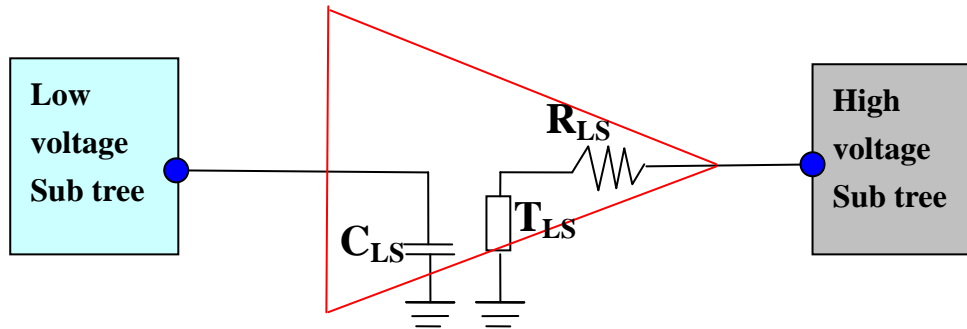


圖 3-7 Level shifter 等效 buffer 示意圖

## 第四章、研究方法

### 第一節 具電壓島之時脈繞線架構

在我們的設計中，我們根據 benchmark 配置檔，初步先將該電路端點位置分區，而每個區塊所賦予的電壓值是相異的，並依此規則分別將所有區塊的端點做 DME-XP 繞線演算法。以下我們用兩個區塊的情況來做說明，兩個區塊完成繞線後會分別產生兩個子時脈樹，之後再將子時脈樹連結，並依情況插入 level shifter，如圖 4-1 所示，左右兩個部分便是由原本的單一結構被分區後再分別獨立完成繞線，因此形成左時脈樹與右時脈樹這兩個不相連的時脈樹，此時便須額外再加入線段將兩個時脈樹做連結，並且若兩區輸入的是不同的電壓，便須在兩者之間插入 level shifter 才能順利完成連線，如此便構成雙電壓島的一個結構。

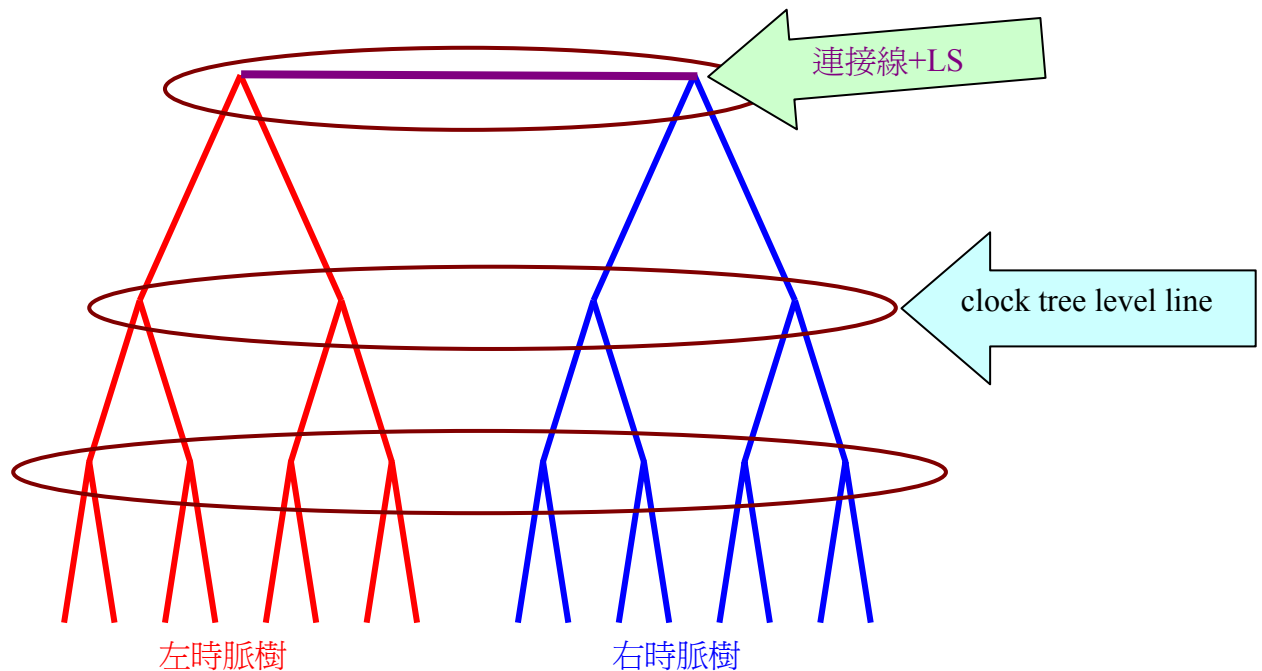


圖 4-1 雙區塊時脈樹示意圖

依此類推，若是三電壓島的情況便如圖 4-2 所示，圖中時脈樹 1 和時脈樹 2 等兩樹完成連結後，再接著往第三個時脈樹連結，連結中同樣必須依電壓配置情

況考慮到 level shifter 的使用，因此，我們不難看出即使導入電壓島的應用並且分區繞線，整體繞線程序依然符合樹狀結構兩兩成對，且層層而上的時脈樹繞線規則。

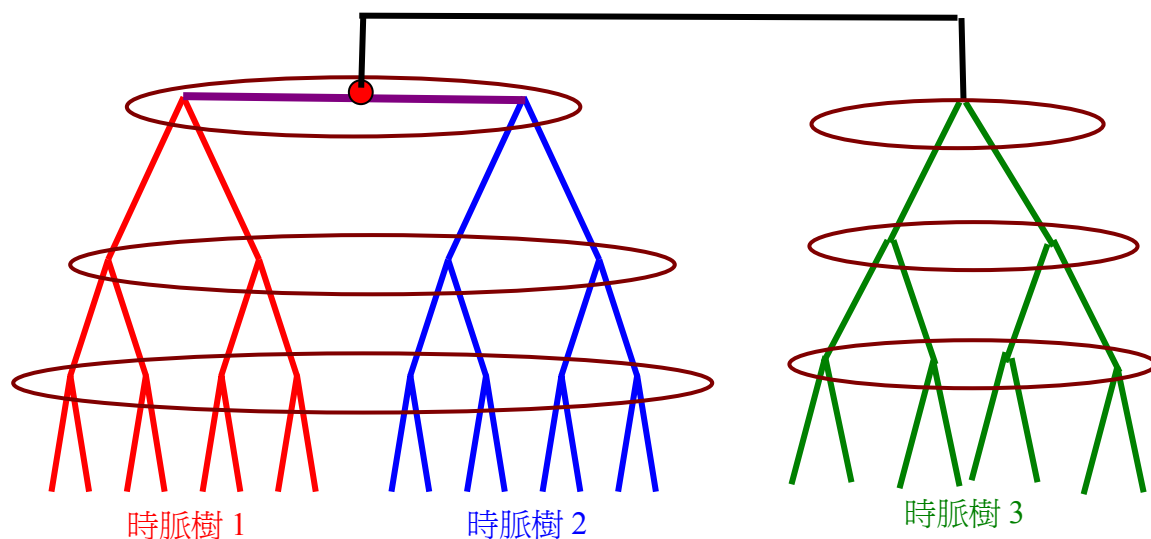


圖 4-2 三區塊時脈樹示意圖

## 第二節 DME-XP 時脈繞線方法

本篇論文所使用的前置繞線，依據圖 4-3 所示之 DME-X 演算法[9]，並考量翻轉(flip)的必要性，此演算法即命名為 DME-XP，它包含五個步驟，分別為：

- A. DPPG(Determine Pair of Points using GMA)
- B. CPXT(Choose Proper X Topology)
- C. DCTP(Determine Coordinates of Tapping Point)
- D. DME-X
- E. X-Flip

```

Input: A set of  $n$  sinks 'S' and 16-kind of X topologies for a pair
of points
Output: A ZST based on X architecture with minimal delay and zero skew
begin
1   While( $|S| > 1$ )
2   {
3   ( $s1, s2$ ) = DPPG(S); //Determine pair of points using GMA
4   X-topology = CPXT( $s1, s2$ )  $\cup$  CPXT( $s2, s1$ ); //Choose proper X-topology
5    $Pt$  = DCTP( $s1, s2$ ); //Find tapping point  $Pt$  of  $s1$  and  $s2$ 
6   DME-X( $s1, s2, Pt, X$ -topology); //Construct the clock tree
7   X-Flip( $s1, s2$ ); //X-Flip to possibly reduce wirelength
8   Insert(S,  $Pt$ ); //Remove  $s1$  and  $s2$  from S and insert  $Pt$  into S
9   }
end

```

圖 4-3 DME-XP algorithm

依據[9]所示，本演算法的時間複雜度為  $O(n \log n)$ ，以下個別詳述每個步驟的內容。

#### A. DPPG (Determine Pair of Points using GMA)

本繞線演算法的第一步便是先尋找端點(sink)的配對，以此建立初步的連結規則與順序，而這一步所採用的方法便是 GMA[21]。GMA 規則所尋找的會是點與點之間的最短距離，在我們的方法裡，我們在讀取進端點配置檔後，便會將所有端點依 X、Y 座標值排序，從 X 與 Y 相對最小的開始往上排序，並依此順序與找最佳配對，若是被配對過的點則不會再重複配對。

如圖 4-4 所示，我們從各端點裡尋求 X 與 Y 值最小者，先比較 X 值之後再比較 Y 值，排序完後再由小往大依順序配對(從平面圖來說也就是由左上往右下)，例如圖中我們就會從 A 點開始做為配對，經 GMA 運算後會找出 B 點做為配對，因此 B 點也同時完成配對，所以 B 點不再參與後面的配對。A 點完成配對後就再尋求 X 值次小之端點進行配對(若 X 值相同才再比較 Y 值)，如下圖中第二個進行尋找配對的便是 C 點，則 C 點便與 D 點配對，D 點經配對後也不會再重覆配對。依此類推直到完成所有端點的配對，這個程序稱為 DPPG，這個階

段完成後便成功建立了初步的連結順序。

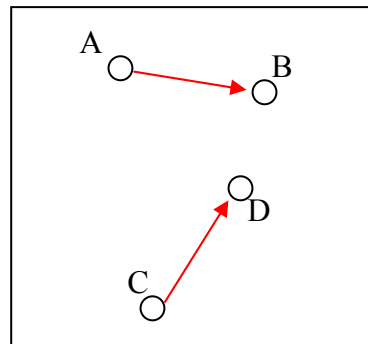


圖 4-4 GMA 配對圖

### B. CPXT (Choose Proper X Topology)

確認連結順序後，下一步就是要建立點與點之間的連線方式，以圖 4-5 所示的配置當一個簡單例子，我們假設圖中 s1 位於 LT，而 s2 位於 RT。首先以起始點 s1 來看，s2 的相對位置是位於 SRB，參考第三章第一節所介紹的拓樸表中 LT 之 SRB 所得到的結果是 X 繞線 rand，這個程序所得結果我們表示為  $CPXT(s1,s2)=rand$ ，若得到的結果是 rand，我們便必須再分析 s2 連向 s1 的結果值，對 s2 來說 s1 的相對位置則為 SLT，我們參照拓樸表 RT 之 SLT 的規則，得到的結果為  $CPXT(s2,s1)=type1$ ，故取其交集可得  $CPXT(s1,s2) \cap CPXT(s2,s1) = rand \cap type1 = type1$ ，所以最後我們的選擇結果便為 X 繞線 type1，要注意的是只有在初始所得 type 為 rand 時才須進行這樣的二次選擇程序。

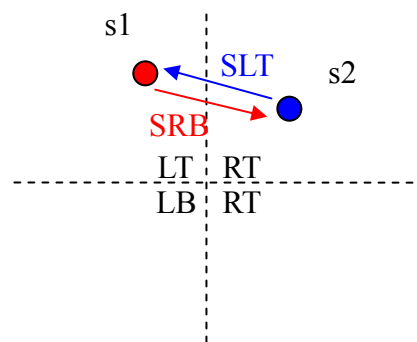


圖4-5 兩個端點分區與連線示意圖

### C. DCTP (Determine Coordinates of Tapping Point)

DCTP 這個程序的用意在於尋找每個線段的 tapping point(分接點)位置，

tapping point 在建立零時脈差異時脈樹(zero-skew clock tree，以下簡稱 ZST)時具有關鍵地位，tapping point 的位置通常處於時間平衡點的地位，在繞線程序的每一階段都顧及延遲時間的整體平衡便可以達成建立 ZST 的目標。例如圖 4-6(a)中，Pt 的位置便代表這個線段的 tapping point，這個點通常代表從這個位置往 S1 與 S2 的延遲時間可以達成平衡，DCTP 這一步主要目標便是尋找 tapping point 的位置，而若是 tapping point 處在極端位置仍舊無法達成時間平衡的話(如圖 4-6(b)，便必須再額外插入 snaking wire 藉此拉長線段以確實的達成時間平衡並建立 ZST，如圖 4-6(c)所示。

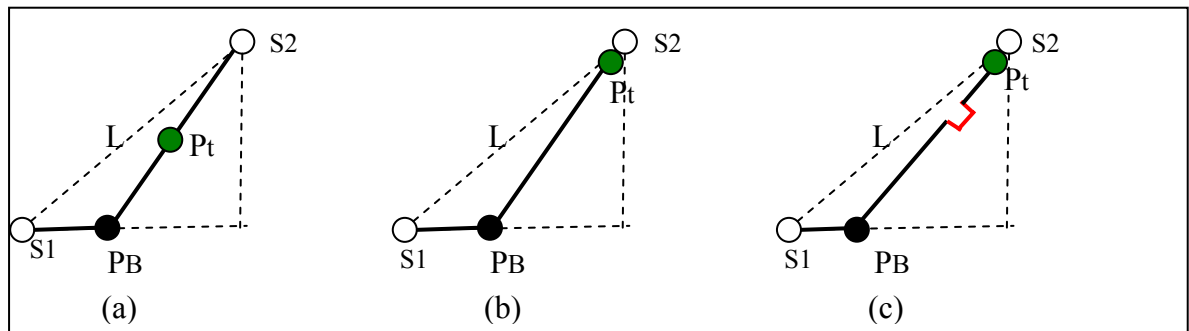


圖 4-6 tapping point 示意圖

其等效電路圖如圖 4-7 所示，S1 與 S2 在觀念上可以是兩個端點，也可以視為兩個子樹。

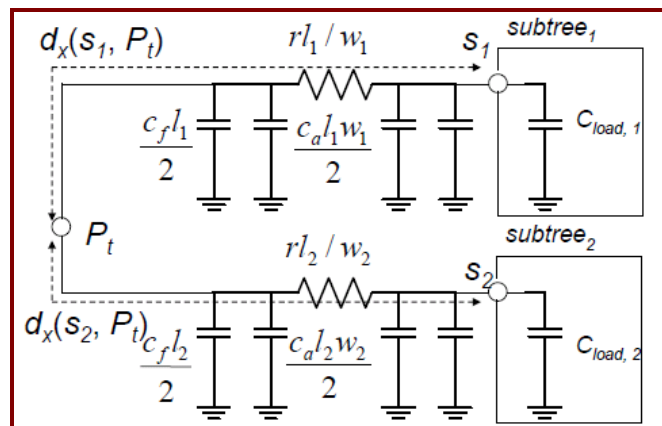


圖 4-7 考量 tapping point 之等效電路圖

#### D. DME-X

接著要介紹的才是 DME-X 演算法最重要的核心，也就是實際的繞線程序，前述 A、B、C 三步驟分別用於尋找配對順序、設定連線型態以及尋找分接點，

實際上 ABC 三步驟可以視為前置或是輔助程序，真正的演算法中心在於 DME-X 這個步驟。

DME-X 由 DME-4 改良而來，而 DME-4 則是基於傳統 DME 結合 X 架構的改進，這三種方法最明顯的關鍵差異在於 ms(merging segment)的尋找方式不同，如同第二章所述，DME 的 ms 乃是由兩個核心擴展出的四邊形的交集線，DME-4 則是兩個核心擴展出的八角形交集線。而 DME-X 則是由 DME-4 簡化而來，如圖 4-8 所示，DME-X 將原本 DME-4 兩個八角形的結合簡化為一個平行四邊形，而這個平行四邊形實際上是前述 CPXT 之 type1 與 type2 結合組成。

形成一個平行四邊形後，接著便是要建立 ms，type1 與 type2 經由 DCTP 程序後，便可找出各自的 tapping point，其 tapping point 連結線便是我們所需要的 ms，以圖 4-8 為例，tapping point 即是圖中之 Pt 與 Pt' 兩點。

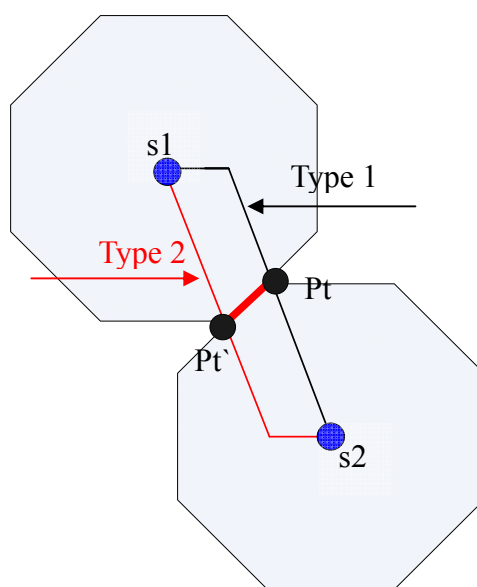


圖 4-8 Tapping point 與 ms 的關係圖

但上述 type1 與 type2 組合的這個概念重點在於 ms 的建立，實際連線過程中只有一條 type 線被選擇到。例如圖 4-8 中 s1 與 s2 的連線經過 CPXT 程序後，所選定的連線型態為 type1，則 type2 只在這階段用於 ms 的建立，它並不是實際要的連線，但可候補為在翻轉(X-Flip)考量減縮連線長度之評估與需求。

我們同樣可以參照傳統 DME 來做說明，由每個點開始一層一層往上建立



ms 直到結束的階段都是屬於由下而上(bottom-up)的部分，之後再由 clock source 開始由上往下(top-down)依循前面所建立好的順序與連線型態規則層層往下完成實際連線，最終便可以完成整個 DME-X 的繞線。

### E. X-Flip

X-Flip 這一步對於 DME-X 來說是進一步在連線長度的改良，它在原本的 DME-X 繞線中加入了類似 GMA 之下的翻轉(flip)動作，我們命名為 X-Flip，原始方法被稱為 DME-X，而考慮 X-Flip 的演算法，則被命名為 DME-XP。

X-Flip 這個程序的作用在於進一步縮短繞線長度，它會在每一組線段完成繞線時，考量每一組線段組合是否具有額外縮短線長的空間與可能性。如下圖 4-9(a)，我們將線段組合以  $L(\text{sink1}, \text{sink2})$  來做表示，圖中的  $L(X1, X2)$  與  $L(X3, X4)$  分別為兩條完成繞線的線段， $X9$  與  $X10$  分別為兩線段的 tapping point，且  $L(X1, X2)$  與  $L(X3, X4)$  這兩組線段以  $L(X9, X10)$  做為連結線，至於  $X9'$  與  $X10'$  則分別為兩線段另一個可能的 tapping point 位置，實質上  $X9'$  與  $X10'$  就是這兩組線段在 CPXT 階段時另一種 type 所擁有的 tapping point。

以圖 4-9(a)中這個例子來說，若考慮將原本的  $X9$  與  $X10$  置換成  $X9'$  或  $X10'$ ，我們可以發現這能夠再進一步縮短繞線長度，以線段長度來說我們可以很明顯的發現  $L(X9', X10')$  小於  $L(X9, X10)$ ，顯然若選擇轉換是個較佳的方式，但  $X9'$  與  $X10'$  的存在實際上在 CPXT 階段便已被拒絕，所以我們才需要 X-Flip 這一程序來做修正，補足原本 DME-X 無法兼顧連線長度的不足，如圖 4-9(b)所示為另一個例子，便是將  $L(X1, X2)$  與  $L(X3, X4)$  完成翻轉(flip)後的結果。

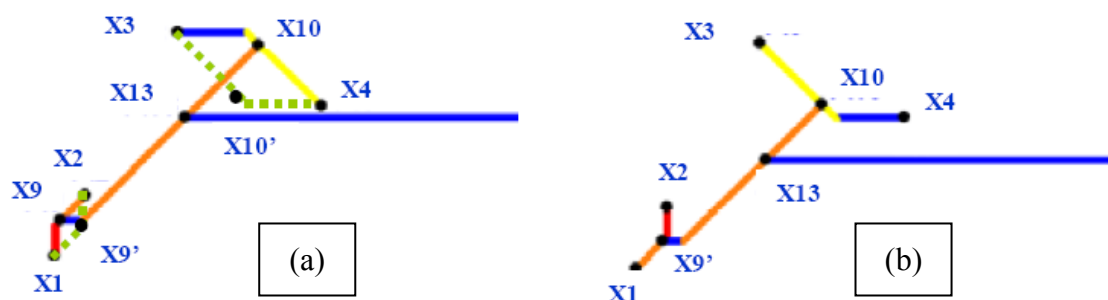


圖 4-9 X-flip 示意圖

### 第三節 電壓島時脈繞線的分工與整合

本研究最主要的問題在於將 DME-XP 繞線法結合多重電壓島，並且分別考量不同的電壓組合所帶來的影響。值得注意的是在單一電壓島下我們可以直接完成繞線連結，但在相異電壓島之間要做連結時，我們便必須在兩電壓島之間插入 level shifter[12][16]，問題是如何使用這個元件呢？實際的連結方法我們在這一節做說明，詳細過程如下所述：

1. 我們先從基本兩個電壓島的情況下做說明，如圖 4-10 所示，在置入雙電壓之前，我們將原本單電壓島一個區域的一次繞線分割成兩個電壓島兩個區塊，並分別完成 DME-XP 繞線：

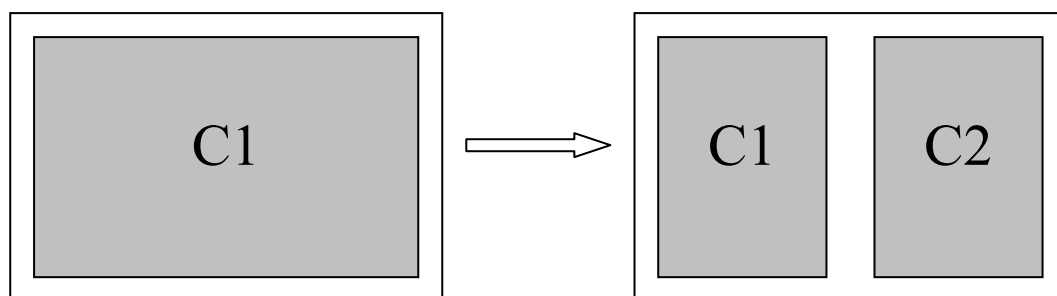


圖 4-10 繞線區域分割示意圖

以下是一個簡化的時脈樹，我們在單區域的一次繞線結構便如圖 4-11 所示，所有點的連結會往上層成為子樹，而子樹與子樹再往上層連結，直到最上層為止，最終得到的一個 tapping point 會成為我們的 clock source：

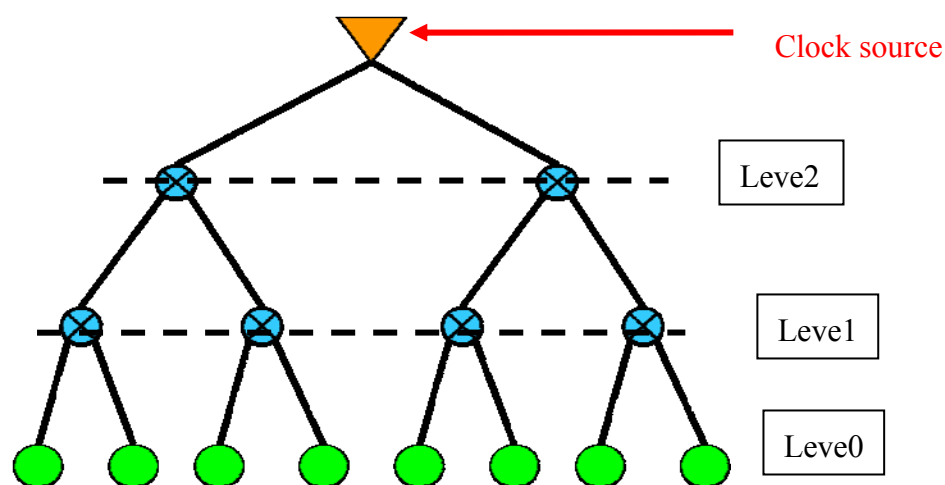


圖 4-11 單區域的時脈樹

但是當我們爲了導入相異電壓而將這一個區域分割後，等於是必須先將分割後的兩個區塊個別完成繞線，如圖 4-12 所示，原本的單一架構在分割後，會在個別完成繞線時形成兩個子樹：

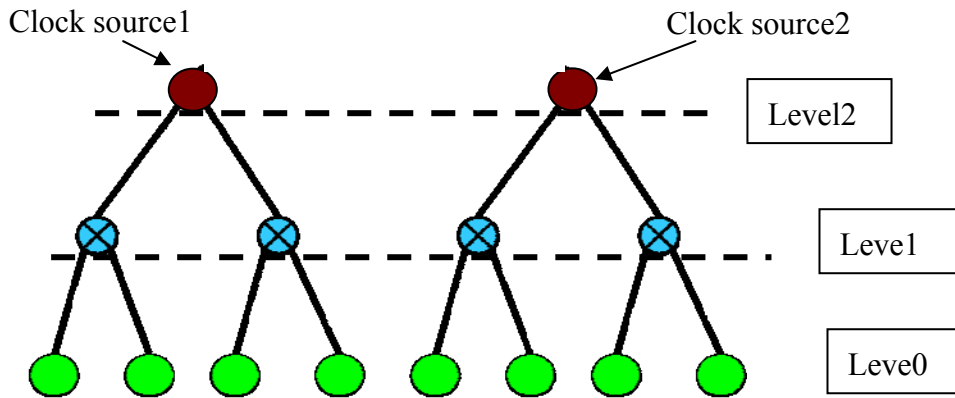


圖 4-12 分割後的時脈樹

2. 之後，我們再將分別完成繞線的兩個區塊連結起來，實質上這是形成兩個時脈子樹(subtree)的連結問題，如圖 4-13 所示即是兩個下層子樹 S1 與 S2 連結的 FED 等效模型示意圖，在原理上是將兩邊完成繞線之後所得的最後一層 tapping point(也就是 clock source)做連結，如圖 4-14 所示，將兩個子樹的 clock source 做連結後便可完成兩個區域的連結並且會在上層得到一個新的 clock source。

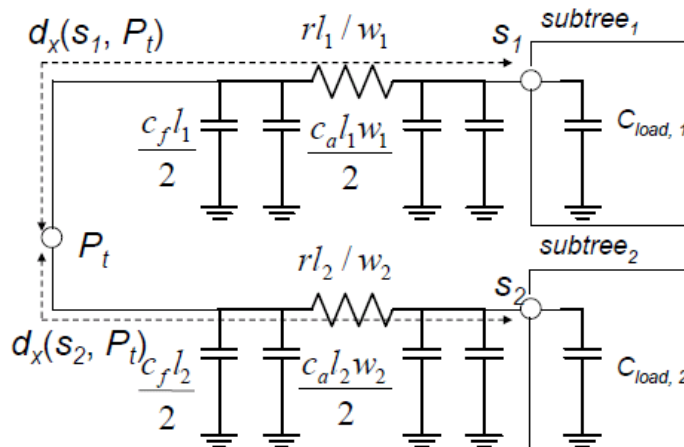


圖 4-13 兩子樹連結之 FED 等效模型圖

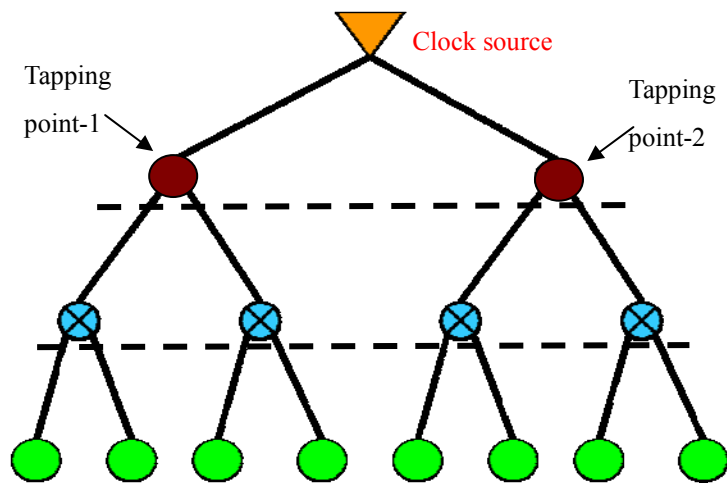


圖 4-14 兩個時脈子樹的連結

圖 4-15 便是上述觀念的一個簡化圖，也就是說單一區域分為兩個區域再繞線會形成兩個子樹結構，而這兩個子樹的 clock source 從整體繞線架構來看其實也就分別代表著它們最上層的 tapping point，連結兩子樹的最上層這點也就完成雙區域的結合。

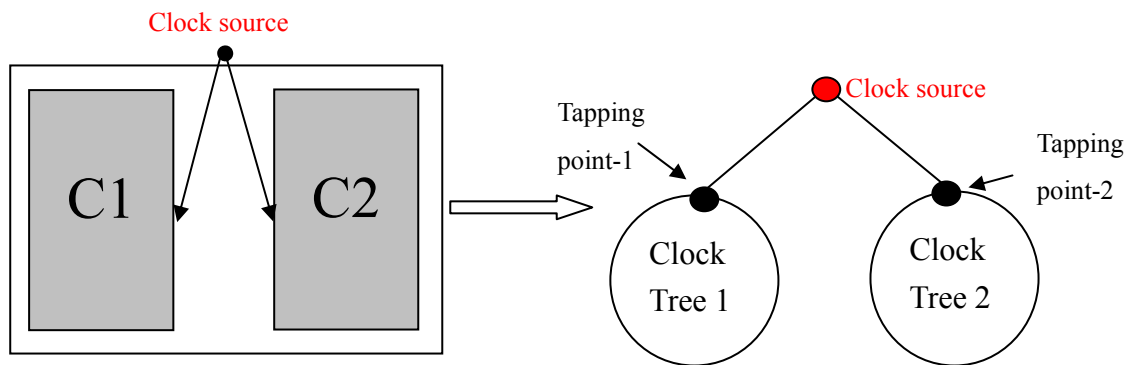


圖 4-15 雙區域繞線連結示意圖

3. 然而，以上所述僅是單純的基礎概念，我們必須注意到重點在於若是兩個區塊分別使用不同電壓的情況下，我們便須在兩個區塊之間插入 level shifter 才可以順利連結兩個相異電壓的區域，而且 level shifter 只須於低電壓連結到高電壓處插入[12][16]；相對的，若是高電壓連結低電壓或是相同電壓的情況下就不需要使用 level shifter。如圖 4-16 所示便是使用了 level shifter 後的時脈樹結構示意圖，兩個端點的連結中插入 level shifter 後的等效電路圖則如圖 4-17 所示。

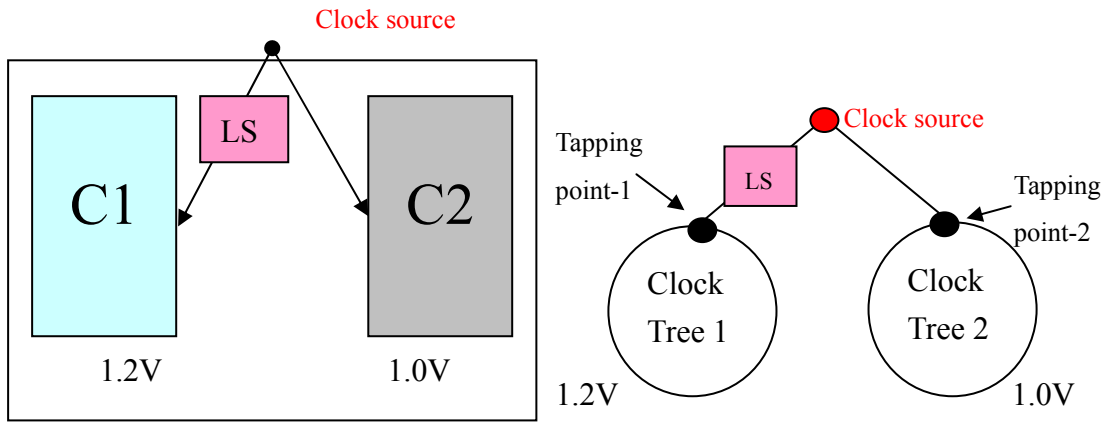


圖 4-16 Level shifter 插入結構示意圖

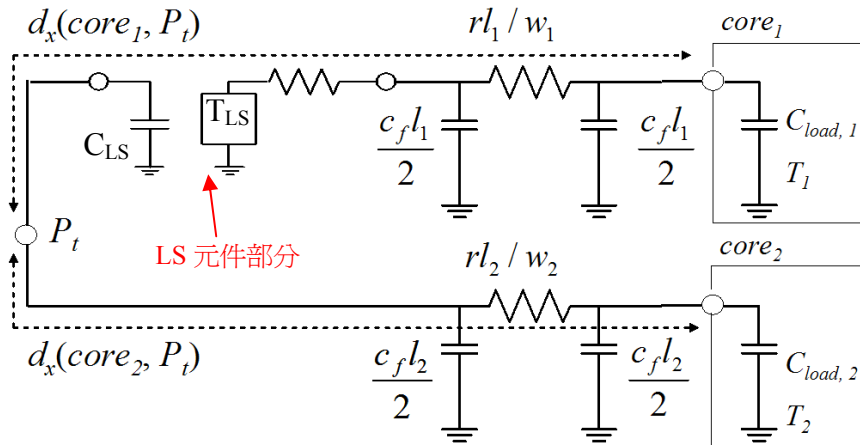


圖 4-17 Level shifter 之插入等效電路圖

另外，從前章所述我們也已知 level shifter 其實可以等效為一個 buffer 架構 [12]，所以可以推斷 level shifter 除了做為相異電壓的連結元件之外，對於延遲時間的改善也有一定程度的幫助。

4. 依據同理，若是考量更多電壓配置的情況則再更複雜一些，一樣是將各電壓區完成繞線後再考慮各區域最後一層 tapping point 的連線，而點與點之間的連線處理等於是在這幾個點之間再做一次繞線計算。以圖 4-18 所示舉出三重電壓為例：

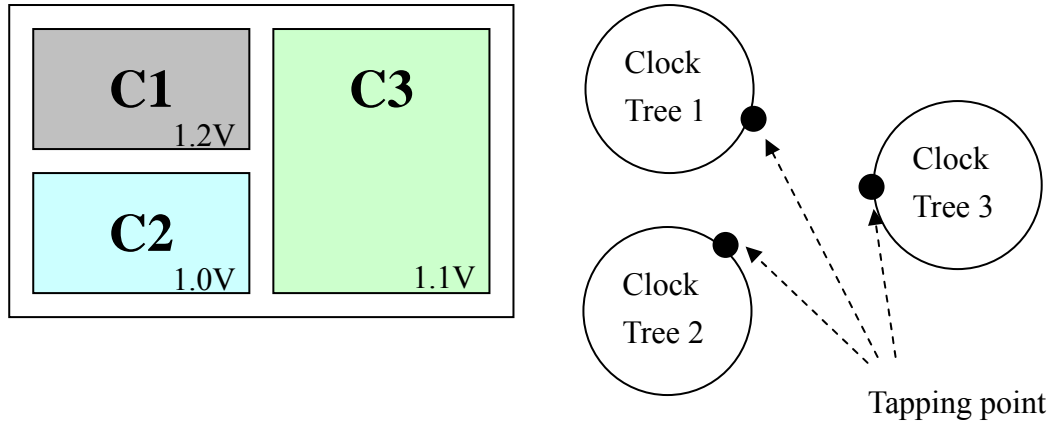


圖 4-18 三電壓島示意圖

在這個例子中，我們假設這三個點的連結方式是  $C1 \rightarrow C2 \rightarrow C3$ ，那麼我們必須注意到 level shifter 只能插入低電壓往高電壓之處，所以  $C1 \rightarrow C2$  之間不會使用到 level shifter，而  $C2 \rightarrow C3$  之間則必須插入 level shifter，如圖 4-19 所示，依照這種方法，我們便可以完成整個多重電壓區域的時脈繞線。

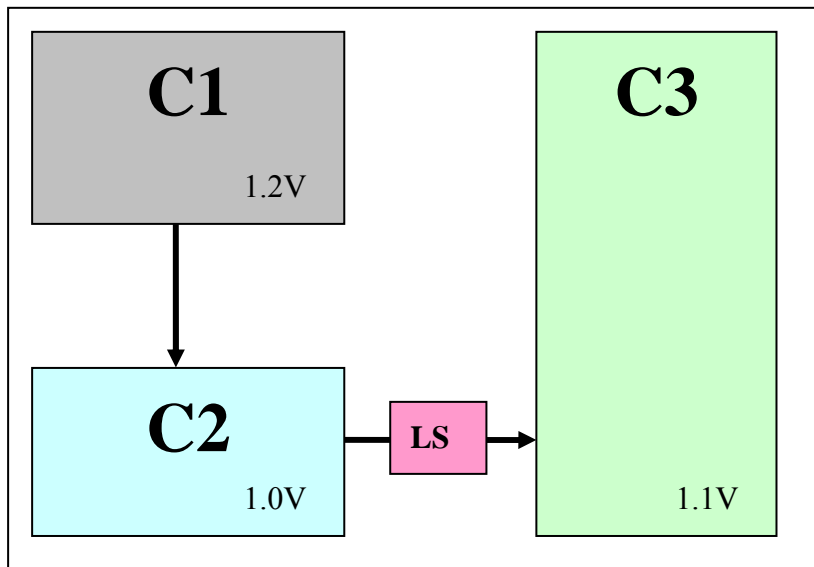


圖 4-19 三電壓島連結範例

因此由本章說明可以得知，DME-XP 用於每個子區域的基礎繞線，而在每個子區域完成繞線後，再將這些子區域連結起來，在這階段才要考慮 level shifter 的使用，如圖 4-20 所示為一個每個連結段都使用了 level shifter 的完整例子， $C1$ 、 $C2$ 、 $C3$  是三個分別使用 DME-XP 完成繞線的子區域，在它們個別完成繞線後我們才會將  $C1 \sim C3$  做連結，並且依電壓配置情況插入 level shifter。

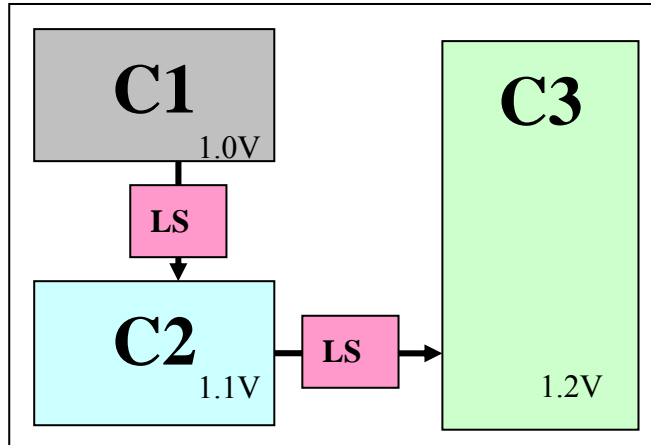


圖 4-20 插入 LS 的三電壓島環境

#### 第四節 多重電壓島 DME-XP 時脈繞線演算法

如圖 4-21 所示為多重電壓島 DME-XP 演算法(Multi-Voltage Island DME-XP Algorithm)。

本演算法共分三大階段，首先，輸入一個 IBM benchmark 檔，該檔內容為電路端點配置檔，包含其座標與電容，接著便開始進入程式階段。第一階段是整體電壓島的配置，包含電壓設定及設定電壓島的範圍，故在該區域內的所有端點便歸屬於該電壓島。第二階段便是依序將各電壓島區塊使用 DME-XP 執行時脈繞線，直至所有電壓島都完成其繞線。最後一階段便是將各個電壓島區塊的時脈繞線連結起來，並依電壓配置情況插入 level shifter，即可完成整個繞線結果。

```

Input: One of IBM benchmarks, r1~r5, that the clock net with n sinks is
          portioned to be the number of C voltage islands
Output: An X-architecture ZST based on multi voltage island
begin
  { Let C be the number of voltage islands
    Divide the clock net into number of C clock nets depending on
    the clock sinks`locations
    For (i = 1 to C)    //將所有區塊逐一完成繞線
      {
        Use DME-XP to construct the X-ZST for the ith clock net
      }
    While (whole clock routing is not completed) //連接所有區塊
      {
        Combine two X-ZSTs to form a new X-ZST based on the new
        tapping point finding for a pair of subtrees and insert a level
        shifter for the case that the low-voltage island drives the
        high-voltage island.
      }
      Output the routing result
    }
  }
end

```

圖 4-21 Multi-Voltage Island DME-XP Algorithm

本演算法之時間複雜度，其時間變量受時脈端點(clock sinks)之總數量  $n$  影響，第一階段之分區只是單純的端點讀檔儲存程序，這個階段的相對時間正比於  $n$  個端點，即  $O(n)$ 。第二階段之時脈繞線才進入運算階段，主要核心運算與消耗時間是在 DME-XP 這個部分，根據[9]所示，在最壞情況下的時間複雜度為  $O(n \log n)$ ，而執行  $C$  次的 DME-XP，因為  $C$  小於 10，故不影響原時間複雜度。第三階段則是最後的整合各個子繞線與插入 LS 元件，此階段其實可視為僅針對數個電壓島末端的 DME-XP 繞線運算，其時間變量受電壓島數量影響，但此僅是數個少量端點之繞線運算，故其時間計量最多為  $O(n)$ 。因此，整個演算法的時間複雜度仍維持為  $O(n \log n)$ 。



# 第五章、實驗結果

## 第一節 實驗參數設定

本篇論文之實驗配備為 AMD 754pin Sempron 2800+ PC,記憶體 1G，使用 Borland C++ Builder 6.0 建構模擬程式，所使用的五個 case 來源為 IBM Benchmark 之 r1~r5[27]，使用 0.13 $\mu\text{m}$  製程參數[9]，設定環境條件在時脈頻率為  $F_{clk} = 100\text{MHz}$ 、sheet resistance 為  $r = 0.623\Omega/\mu\text{m}$ 、unit area capacitance 為  $c_a = 0.00598\text{fF}/\mu\text{m}$ 、unit fringing capacitance 為  $c_f = 0.043\text{fF}/\mu\text{m}$ ；而 FED Delay Model 相關參數 A、B、C、D、E、F 分別為  $1.01258\ln 2$ 、 $1.03010\ln 2$ 、 $1.00511\ln 2$ 、 $1.12673\ln 2$ 、 $1.10463\ln 2$ 、 $1.04836\ln 2$ ；level shifter 可等效為 buffer，故相關數值使用 0.13 $\mu\text{m}$  製程中的 buffer 參數[19]，其 output resistance 為  $r_{LS} = 250\Omega$ ，input capacitance 為  $C_{LS} = 23.5\text{fF}$ ，intrinsic delay time 為  $T_{LS} = 54.4\text{ps}$ 。全部參數如表 5-1 所列：

表 5-1 實驗相關之參數

$r$	$0.623\Omega/\mu\text{m}$	$B$	$1.03010\ln 2$	$r_{LS}$	$250\Omega$
$c_a$	$0.00598\text{fF}/\mu\text{m}$	$C$	$1.00511\ln 2$	$T_{LS}$	$54.4\text{ps}$
$c_f$	$0.043\text{fF}/\mu\text{m}$	$D$	$1.12673\ln 2$	$C_{LS}$	$23.5\text{fF}$
$F_{clk}$	$100\text{MHz}$	$E$	$1.10463\ln 2$		
$A$	$1.01258\ln 2$	$F$	$1.04836\ln 2$		

我們的實驗分別針對單電壓島、雙電壓島、三電壓島等三種佈局環境的情況做模擬時脈繞線，並且同時比較在相同條件下使用 DME-X 與 DME-XP 所造成的差異，實驗結果數據包含了延遲時間、總功率消耗、總繞線長度及穿孔數(vias)等。

在單電壓島的情況下，也就是原始的傳統單區域的 DME-X(P)繞線，我們所輸入的電壓值設定為 1.2V，如圖 5-1 所示，

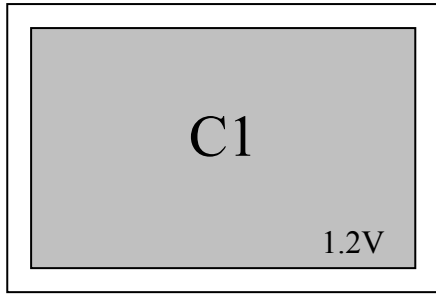


圖 5-1 單電壓島佈局環境示意圖

在雙電壓島的情況下我們使用了兩個電壓，如圖 5-2 所示為兩種雙電壓島佈局環境之示意圖。我們以 1.2V 為基準電壓去做變化，首先將繞線區域分為左右兩區再執行 DME-X(P)繞線，我們分別比較了兩個區域使用相同電壓 1.2V 與相異電壓 1.0V+1.2V 的繞線結果，而相異電壓之雙電壓島環境，則須考量 level shifter 的加入，如圖 5-2 之(a)與(b)所示分別為相同電壓與相異電壓之電壓島與電壓配置。

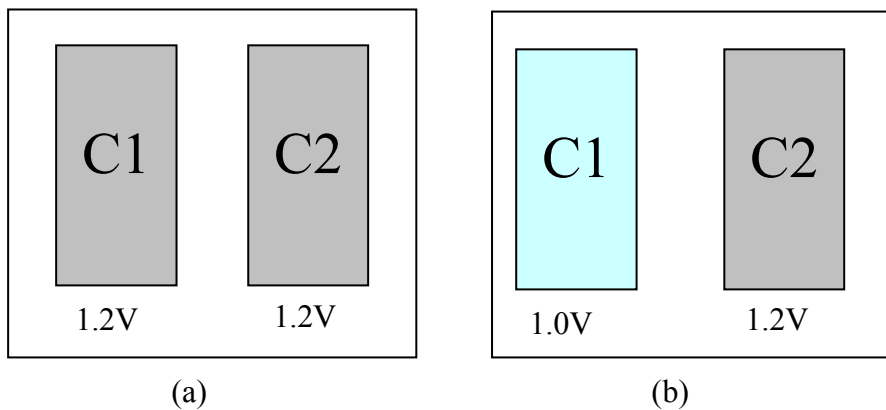


圖 5-2 雙電壓島佈局環境示意圖

在三電壓島的情況下，我們同樣比較了使用相同電壓 1.2V，以及分別設置三個電壓 1.0V+1.1V+1.2V 的結果，如圖 5-3 之(a)與(b)所示分別為相同電壓與相異電壓之電壓島與電壓配置。

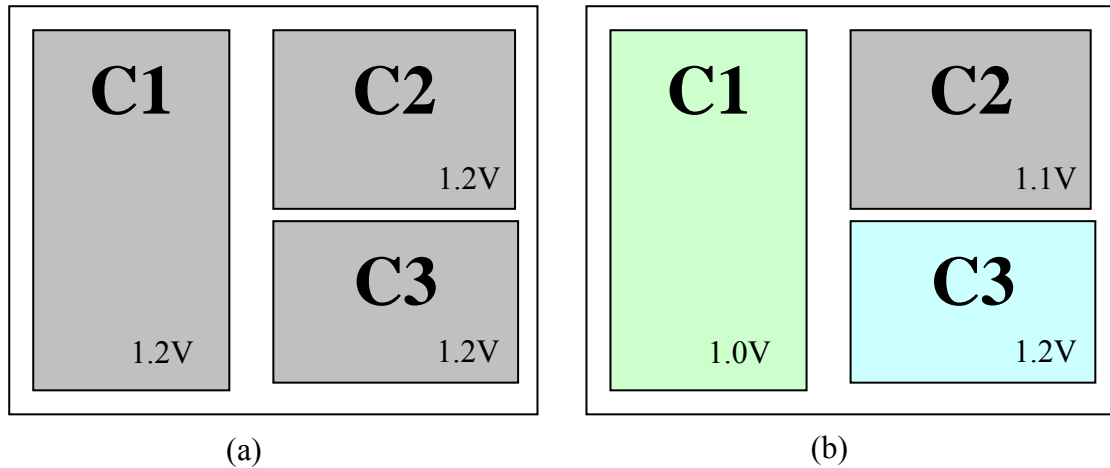


圖 5-3 三電壓島佈局環境示意圖

## 第二節 時脈繞線結果

本實驗中依據不同電壓設定的 DME-X 及 DME-XP 的條件組合，共有單電壓島的原始單電壓 DME-X(P)繞線、使用雙電壓島且僅使用單一電壓設定與使用雙電壓設定的 DME-X(P)繞線、使用三電壓島且僅使用單一電壓與使用三電壓設定的 DME-X(P)繞線等，也就是說在一個 benchmark 下就有十種實驗組合。

以下依序分別列出所有實驗組合，每一輪共有 10 種組合，分別是：

1. DME-X(1.2V)：單電壓島的原始單電壓 DME-X 繞線。
2. DME-XP(1.2V)：單電壓島的原始單電壓 DME-XP 繞線。
3. 2V-DME-X(1.2V)：雙電壓島但只使用一個電壓設定的 DME-X 繞線。
4. 2V-DME-XP(1.2V)：雙電壓島但只使用一個電壓設定的 DME-XP 繞線。
5. 2V-DME-X(1.0V +1.2V)：雙電壓島且使用雙電壓設定的 DME-X 繞線。
6. 2V-DME-XP(1.0V +1.2V)：雙電壓島且使用雙電壓設定的 DME-XP 繞線。
7. 3V-DME-X(1.2V)：三電壓島但只使用一個電壓設定的 DME-X 繞線。
8. 3V-DME-XP(1.2V)：三電壓島但只使用一個電壓設定的 DME-XP 繞線。
9. 3V-DME-X(1.0V+1.0V+1.2V)：三電壓島且使用三電壓設定的 DME-X 繞線。
10. 3V-DME-XP(1.0V+1.0V+1.2V)：三電壓島且使用三電壓設定的 DME-XP 繞線。

以下依序列出單電壓島至三電壓島的所有實驗結果數據表：

### 5-2-1 單電壓島的 X 時脈繞線結果

如表 5-2 所示為單電壓島且使用 1.2V 之 DME-X 時脈繞線之結果，表中包含 r1~r5 之延遲時間、功率消耗、繞線長度及穿孔數等。該電壓島之佈局環境僅使用不分區域之單一電壓島，乃為原始單區繞線之 DME-X 時脈繞線。

表 5-2 單電壓島 DME-X 時脈繞線結果

Benchmark	DME-X(1.2V)			
	Delay(ps)	Power(W)	Wirelength( $\mu\text{m}$ )	Vias
r1	467408.0535	0.077655	1435149.5962	1258
r2	972452.4831	0.199508	3036216.2639	2813
r3	1684443.0943	0.265957	3768944.2810	4003
r4	4653341.9445	0.619044	7611433.2169	9170
r5	5954887.4156	1.023837	11327484.3528	14648

如表 5-3 所示為單電壓島且使用 1.2V 之 DME-XP 時脈繞線之結果，表中包含 r1~r5 之延遲時間、功率消耗、繞線長度及穿孔數等。該電壓島之佈局環境僅使用不分區域之單一電壓島，乃為原始單區繞線之 DME-XP 時脈繞線。

表 5-3 單電壓島 DME-XP 時脈繞線結果

Benchmark	DME-XP(1.2V)			
	Delay(ps)	Power(W)	Wirelength( $\mu\text{m}$ )	Vias
r1	309829.6925	0.078951	1419028.1007	1217
r2	1122692.1516	0.194193	2911773.5471	2842
r3	1799442.9549	0.259581	3658510.8161	4019
r4	4792344.2442	0.599519	7230327.3794	9155
r5	8564433.4758	0.993228	10837358.1902	14583

如表 5-4 所示為將兩種單電壓島之繞線結果整合後做比較，包含了 DME-X 與 DME-XP 兩種繞線法之延遲時間、功率消耗、繞線長度及穿孔數等。其中平均比值算法為將 r1 之 DME-XP 結果值除以 DME-X 結果值，依此類推，依序算出 r2~r5 之比值，最後將各值相加除以五，即可求出總體平均值，以下各表格之平均比值算法皆比照此模式。

但我們從延遲時間中可發現 DME-XP 只在 r1 階段有著明顯且大幅度的改善，但在 r2 至 r5 卻是 DME-X 較佔優勢，總平均而言，DME-XP 在延遲時間較 DME-X 多了 7%。不過，在功率消耗方面，DME-XP 除了在 r1 略大於 DME-X 之外，大部分的實驗結果都由 DME-XP 顯示出一定程度的改善，從整體平均來看，DME-XP 比 DME-X 少了 2%。至於在繞線長度方面，無庸置疑的，這部分正是 DME-XP 之 X-Flip 主要改善目標亦是其強項，故可以很明顯的觀察到從 r1 到 r5 的繞線長度都由 DME-XP 表現出較好的結果，整體平均相較於 DME-X 少了 3.5%。穿孔數方面雖兩者間略有高低，但並無顯著差異，其平均比值極接近於一比一，觀察總平均值，DME-XP 僅稍小了 0.5% 的值。

表 5-4 單電壓島 DME-X&DME-XP 時脈繞線結果之比較

Benchmark	Delay(ps)		Power(W)		Wirelength(μm)		Vias	
	DME-X (1.2V)	DME-XP (1.2V)	DME-X (1.2V)	DME-XP (1.2V)	DME-X (1.2V)	DME-XP (1.2V)	DME-X (1.2V)	DME-XP (1.2V)
r1	467408.0535	309829.6925	0.077655	0.078951	1435149.5962	1419028.1007	1258	1217
r2	972452.4831	1122692.1516	0.199508	0.194193	3036216.2639	2911773.5471	2813	2842
r3	1684443.0943	1799442.9549	0.265957	0.259581	3768944.2810	3658510.8161	4003	4019
r4	4653341.9445	4792344.2442	0.619044	0.599519	7611433.2169	7230327.3794	9170	9155
r5	5954887.4156	8564433.4758	1.023837	0.993228	11327484.3528	10837358.1902	14648	14583
平均比	1 : 1.070		1 : 0.980		1 : 0.965		1 : 0.995	

## 5-2-2 雙電壓島的 X 時脈繞線結果

在雙電壓島的部分，我們分別測試輸入單一電壓與多重電壓的結果，本小節列出數個表格紀錄了雙電壓島結構的 DME-X 與 DME-XP 繞線結果並互相比較。

如表 5-5 所示為雙電壓島且使用 1.2V 單一電壓之 DME-X 時脈繞線之結果，表中包含延遲時間、功率消耗、繞線長度及穿孔數等。本實驗之佈局環境為將繞線區域分為左與右兩個區塊，並分別完成 DME-X 繞線後再將兩區域連結。

表 5-5 雙電壓島單電壓 DME-X 時脈繞線結果

Benchmark	2V-DME-X(1.2V)			
	Delay(ps)	Power(W)	Wirelength( $\mu\text{m}$ )	Vias
r1	489014.1386	0.078581	1485089.8699	1238
r2	1375928.6377	0.187755	2933756.1558	2815
r3	1832959.3035	0.274151	3850237.2836	4004
r4	4976550.2665	0.644625	7789011.0684	8962
r5	8696753.6059	1.036605	11487913.8924	14533

如表 5-6 所示為雙電壓島且使用 1.2V 單一電壓之 DME-XP 時脈繞線之結果，表中包含延遲時間、功率消耗、繞線長度及穿孔數等。本實驗之佈局環境為將繞線區域分為左與右兩個區塊，並分別完成 DME-XP 繞線後再將左右兩區域連結。

表 5-6 雙電壓島單電壓 DME-XP 時脈繞線結果

Benchmark	2V-DME-XP(1.2V)			
	Delay(ps)	Power(W)	Wirelength( $\mu\text{m}$ )	Vias
r1	486635.3891	0.074501	1373878.8390	1243
r2	1227976.2215	0.182567	2815443.7426	2795
r3	1594420.2270	0.268301	3749254.9402	4018
r4	4773084.7405	0.621109	7410579.8887	8863
r5	8840822.3293	1.020858	11205841.4336	14471

如表 5-7 所示為將上述兩種單一電壓的雙電壓島繞線結果整合後做比較，包含了 DME-X 與 DME-XP 兩種繞線法之延遲時間、功率消耗、繞線長度及穿孔數等。

在雙電壓島的部分由於採分區獨立繞線的方法，故整個繞線結構已經有所改變，所以我們可以觀察到整個實驗數據的比例關係又有了不同的變化。首先，在延遲時間方面，DME-XP 從 r1 到 r4 都優於 DME-X，但在 r5 卻稍遜於 DME-X，但整體平均仍以 DME-XP 稍勝，少了約 5.4%之延遲時間。不過，在功率消耗方面，DME-XP 與 DME-X 做比較已然表現出全面性的改善，從 r1 到 r5 都有相對較佳的結果，總平均少了 DME-X 約 3.1%。至於在繞線長度這部分，不意外的仍是在 DME-XP 有著不錯的表現，總平均較低 4.3%。另外，我們發現在兩個電壓島的情況下所形成的穿孔數，兩者間仍維持著極接近的平均比，DME-XP 稍小了 0.3%，顯見本演算法在穿孔數考量方面的穩定性。

表 5-7 雙電壓島單電壓 DME-X&DME-XP 時脈繞線結果之比較

Benchmark	Delay(ps)		Power(W)		Wirelength(μm)		Vias	
	2V-DME-X (1.2V)	2V-DME-XP (1.2V)	2V-DME-X (1.2V)	2V-DME-XP (1.2V)	2V-DME-X (1.2V)	2V-DME-XP (1.2V)	2V-DME-X (1.2V)	2V-DME-XP (1.2V)
r1	489014.1386	486635.3891	0.078581	0.074501	1485089.8699	1373878.8390	1238	1243
r2	1375928.6377	1227976.2215	0.187755	0.182567	2933756.1558	2815443.7426	2815	2795
r3	1832959.3035	1594420.2270	0.274151	0.268301	3850237.2836	3749254.9402	4004	4018
r4	4976550.2665	4773084.7405	0.644625	0.621109	7789011.0684	7410579.8887	8962	8863
r5	8696753.6059	8840822.3293	1.036605	1.020858	11487913.8924	11205841.4336	14533	14471
平均比	1 : 0.946		1 : 0.969		1 : 0.957		1 : 0.997	

如表 5-8 所示為雙電壓島且開始導入相異雙電壓之 DME-X 時脈繞線之結果，表中包含延遲時間、功率消耗、繞線長度及穿孔數等。本實驗之佈局環境為將繞線區域分為左與右兩個區塊，且兩個區塊分別導入不同電壓值，左區為使用 1.0V、右區為使用 1.2V，並分別完成 DME-X 繞線後再將左右兩區域連結，且在相異電壓之連結段必須插入 level shifter 元件。

表 5-8 雙電壓島雙電壓 DME-X 時脈繞線結果

Benchmark	2V-DME-X(1.0V+1.2V)			
	Delay(ps)	Power(W)	Wirelength(μm)	Vias
r1	497287.4253	0.065804	1485089.8699	1238
r2	1392312.6666	0.164655	2933756.1558	2815
r3	1854663.9460	0.241805	3850237.2836	4004
r4	5022428.4947	0.556912	7789011.0684	8962
r5	8766221.5632	0.878678	11487913.8924	14533

如表 5-9 所示為雙電壓島且開始導入相異雙電壓之 DME-XP 時脈繞線之結果，表中包含延遲時間、功率消耗、繞線長度及穿孔數等。本實驗之佈局環境為將繞線區域分為左與右兩個區塊，且兩個區塊分別導入不同電壓值，左區為使用 1.0V、右區為使用 1.2V，並分別完成 DME-XP 繞線後再將左右兩區域連結，且在相異電壓之連結段必須插入 level shifter 元件。

表 5-9 雙電壓島雙電壓 DME-XP 時脈繞線結果

Benchmark	2V-DME-XP(1.0V+1.2V)			
	Delay(ps)	Power(W)	Wirelength(μm)	Vias
r1	494374.4394	0.062179	1373878.8390	1243
r2	1243736.4432	0.160584	2815443.7426	2795
r3	1615490.8391	0.237622	3749254.9402	4018
r4	4817220.9200	0.536803	7410579.8887	8863
r5	8908966.0047	0.863778	11205841.4336	14471

如表 5-10 所示為將上述兩種導入雙電壓之雙電壓島繞線結果整合後做比較，包含了 DME-X 與 DME-XP 兩種繞線法之延遲時間、功率消耗、繞線長度及穿孔數等。



在導入兩個相異電壓的情況下，便有了插入 level shifter 元件的變因，插入 level shifter 對於延遲時間、功率消耗及繞線長度都可能帶來影響，因此從下表 5-10 中我們可以觀察到各項數據都有了額外的變化，但整體的比例關係仍符合上一個實驗。以延遲時間來說，DME-XP 仍僅在 r5 的表現較不如 DME-X，但在 r1 至 r4 一樣維持著較佳的結果，整體平均 DME-XP 小 DME-X 約 5.4%。而在功率消耗與繞線長度方面則同樣由 DME-XP 表現出全面性的優勢，總平均分別低了 3.1%與 4.3%。另外，在穿孔數方面，可以發現在我們所設定的這種繞線環境下，在電壓島之間的連結線段插入一個 level shifter 其實並沒影響到穿孔數的增減，故這部分的結果值與未插入 level shifter 時的數值相同，依然是以 DME-XP 較少約 0.3%之值。值得注意的是，在這個階段我們已可約略觀察到多重電壓島為功率消耗所帶來的正面效益，雙電壓島之 DME-X 與 DME-XP 跟原始的單電壓島 DME-X(P)繞線功率消耗結果比照之下，已可發現此時雙電壓島之功率消耗之數值皆相對較低。

表 5-10 雙電壓島雙電壓 DME-X&DME-XP 時脈繞線結果之比較

Benchmark	Delay(ps)		Power(W)		Wirelength( $\mu$ m)		Vias	
	2V-DME-X (1.0V+1.2V)	2V-DME-XP (1.0V+1.2V)	2V-DME-X (1.0V+1.2V)	2V-DME-XP (1.0V+1.2V)	2V-DME-X (1.0V+1.2V)	2V-DME-XP (1.0V+1.2V)	2V-DME-X (1.0V+1.2V)	2V-DME-XP (1.0V+1.2V)
r1	497287.4253	494374.4394	0.065804	0.062179	1485089.8699	1373878.8390	1238	1243
r2	1392312.6666	1243736.4432	0.164655	0.160584	2933756.1558	2815443.7426	2815	2795
r3	1854663.9460	1615490.8391	0.241805	0.237622	3850237.2836	3749254.9402	4004	4018
r4	5022428.4947	4817220.9200	0.556912	0.536803	7789011.0684	7410579.8887	8962	8863
r5	8766221.5632	8908966.0047	0.878678	0.863778	11487913.8924	11205841.4336	14533	14471
平均比	1 : 0.946		1 : 0.969		1 : 0.957		1 : 0.997	

### 5-2-3 三電壓島的 X 時脈繞線結果

在三電壓島的部分，我們一樣分別測試輸入單一電壓與多重電壓的結果，本小節列出數個表格紀錄了三電壓島結構的 DME-X 與 DME-XP 繞線結果並互相比較。

如表 5-11 所示為三電壓島且使用 1.2V 單一電壓之 DME-X 時脈繞線之結果，表中包含延遲時間、功率消耗、繞線長度及穿孔數等。本實驗之佈局環境為將繞線區域分割為左邊一區、右上一區與右下一區，共三個電壓島。並將各區塊各自完成 DME-X 時脈繞線後再做連結。

表 5-11 三電壓島單電壓 DME-X 時脈繞線結果

Benchmark	3V-DME-X (1.2V)			
	Delay( <i>ps</i> )	Power(W)	Wirelength( $\mu\text{m}$ )	Vias
r1	384565.7765	0.083120	1493726.8764	1234
r2	917976.8964	0.195453	2968150.6328	2851
r3	1615202.8912	0.278143	3827819.1246	4099
r4	4086336.4378	0.660220	7871734.2408	9025
r5	8220294.2397	1.057198	11473926.2822	14789

如表 5-12 所示為三電壓島且使用 1.2V 單一電壓之 DME-XP 時脈繞線之結果，表中包含延遲時間、功率消耗、繞線長度及穿孔數等。本實驗之佈局環境為將繞線區域分割為左邊一區、右上一區與右下一區，共三個電壓島。並將各區塊各自完成 DME-XP 時脈繞線後再做連結。

表 5-12 三電壓島單電壓 DME-XP 時脈繞線結果

Benchmark	3V-DME-XP (1.2V)			
	Delay(ps)	Power(W)	Wirelength(μm)	Vias
r1	392062.4559	0.079007	1406856.9620	1223
r2	942497.5961	0.187545	2808698.5025	2866
r3	1317739.1529	0.268285	3659159.5228	4045
r4	4041696.7180	0.631730	7503910.9183	9085
r5	7259983.0037	1.038590	11115029.0422	14624

如表 5-13 所示為將上述兩種單一電壓的三電壓島繞線結果整合後做比較，包含了 DME-X 與 DME-XP 兩種繞線法之延遲時間、功率消耗、繞線長度及穿孔數等。

在三個電壓島的三區繞線下，延遲時間又有不同的變化，DME-X 在 r1 與 r2 部分較優於 DME-XP，r3 至 r5 則反之，不過若從平均來看依然是 DME-XP 部分較佳，相對於 DME-X 少約 5.4%。但在功率消耗與繞線長度的表現則依然以 DME-XP 全然勝出，分別少了 3.8%與 4.7%。此外，穿孔數仍維持著極接近的比例，DME-XP 之總平均略小於 DME-X 約 0.5%。

表 5-13 三電壓島單電壓 DME-X&DME-XP 時脈繞線結果之比較

Benchmark	Delay(ps)		Power(W)		Wirelength(μm)		Vias	
	3V-DME-X (1.2V)	3V-DME-XP (1.2V)	3V-DME-X (1.2V)	3V-DME-XP (1.2V)	3V-DME-X (1.2V)	3V-DME-XP (1.2V)	3V-DME-X (1.2V)	3V-DME-XP (1.2V)
r1	384565.7765	392062.4559	0.083120	0.079007	1493726.8764	1406856.9620	1234	1223
r2	917976.8964	942497.5961	0.195453	0.187545	2968150.6328	2808698.5025	2851	2866
r3	1615202.8912	1317739.1529	0.278143	0.268285	3827819.1246	3659159.5228	4099	4045
r4	4086336.4378	4041696.7180	0.660220	0.631730	7871734.2408	7503910.9183	9025	9085
r5	8220294.2397	7259983.0037	1.057198	1.038590	11473926.2822	11115029.0422	14789	14624
平均比	1	: 0.946	1	: 0.962	1	: 0.953	1	: 0.995

如表 5-14 所示為三電壓島且開始導入相異三電壓之 DME-X 時脈繞線之結果，表中包含延遲時間、功率消耗、繞線長度及穿孔數等。本實驗之佈局環境為將繞線區域分割為左邊一區、右上一區與右下一區，共三個電壓島且分別導入不同電壓，左區為 1.0V、右上為 1.1V、右下為 1.2V，並將各區塊各自完成 DME-X 時脈繞線後再做連結，且在相異電壓之連結段必須插入 level shifter 元件。

表 5-14 三電壓島三電壓 DME-X 時脈繞線結果

Benchmark	3V-DME-X (1.0V+1.1V+1.2V)			
	Delay(ps)	Power(W)	Wirelength(μm)	Vias
r1	278270.6501	0.058990	1493898.3551	1234
r2	930193.1770	0.143994	2968651.5659	2851
r3	1324301.6221	0.209522	3827848.0045	4099
r4	4121200.7247	0.488450	7872493.5855	9025
r5	5649290.7000	0.778362	11473994.3159	14789

如表 5-15 所示為三電壓島且開始導入相異三電壓之 DME-XP 時脈繞線之結果，表中包含延遲時間、功率消耗、繞線長度及穿孔數等。本實驗之佈局環境為將繞線區域分割為左邊一區、右上一區與右下一區，共三個電壓島且分別導入不同電壓，左區為 1.0V、右上為 1.1V、右下為 1.2V，並將各區塊各自完成 DME-XP 時脈繞線後再做連結，且在相異電壓之連結段必須插入 level shifter 元件。

表 5- 15 三電壓島三電壓 DME-XP 時脈繞線結果

Benchmark	3V-DME-XP (1.0V+1.1V+1.2V)			
	Delay(ps)	Power(W)	Wirelength(μm)	Vias
r1	273618.6498	0.055854	1407027.2732	1223
r2	869296.7449	0.138511	2808722.3861	2866
r3	1332732.2572	0.202097	3659575.9567	4045
r4	3042190.3196	0.470024	7504053.6470	9085
r5	5264249.3969	0.766720	11115198.3364	14624

如表 5-16 所示為將上述兩種多重電壓的三電壓島繞線結果整合後做比較，包含了 DME-X 與 DME-XP 兩種繞線法之延遲時間、功率消耗、繞線長度及穿孔數等。

同樣由於插入 level shifter 元件的影響使得實驗有了不同的結果，在這個實驗中 DME-XP 的延遲時間表現稍差的是 r3 的部分，其它部分之結果則都勝過 DME-X，因此 DME-XP 之總平均值相較之下少了 8.2%。而在功率消耗與繞線長度方面的數據同樣可以發現到 DME-XP 有著全面的優勢，與 DME-X 做比較，分別少了 3.6%與 4.7%。而穿孔數方面也表現出一定程度的穩定性，DME-XP 之總平均僅略小於 DME-X 0.5%。此外，在三區繞線的情況下，我們同樣大致觀察到多重電壓島為功率消耗帶來多少程度的正面影響，我們以三個電壓島的 DME-X(P)繞線與原始的單電壓島之 DME-X(P)繞線功率消耗做比較，從數值上已可看出三電壓島的部分皆相對較小。

表 5-16 三電壓島三電壓 DME-X&DME-XP 時脈繞線結果之比較

Benchmark	Delay(ps)		Power(W)		Wirelength(μm)		Vias	
	3V-DME-X (1.0V+1.1V+ 1.2V)	3V-DME-XP (1.0V+1.1V+ 1.2V)	3V-DME-X (1.0V+1.1V+ 1.2V)	3V-DME-XP (1.0V+1.1V+ 1.2V)	3V-DME-X (1.0V+1.1V+ 1.2V)	3V-DME-XP (1.0V+1.1V+ 1.2V)	3V-DME-X (1.0V+1.1V+ 1.2V)	3V-DME-XP (1.0V+1.1V+ 1.2V)
r1	278270.6501	273618.6498	0.058990	0.055854	1493898.3551	1407027.2732	1234	1223
r2	930193.1770	869296.7449	0.143994	0.138511	2968651.5659	2808722.3861	2851	2866
r3	1324301.6221	1332732.2572	0.209522	0.202097	3827848.0045	3659575.9567	4099	4045
r4	4121200.7247	3042190.3196	0.488450	0.470024	7872493.5855	7504053.6470	9025	9085
r5	5649290.7000	5264249.3969	0.778362	0.766720	11473994.3159	11115198.3364	14789	14624
平均比	1 : 0.918		1 : 0.964		1 : 0.953		1 : 0.995	

### 第三節 多電壓島 X 時脈繞線結果之比較

最後，我們來做一個整體的比較與解析，由於 DME-XP 大部分的整體結果平均優於 DME-X，故我們選擇此較佳之繞線方法來做比較，表 5-17、表 5-18、表 5-19 與表 5-20 分別是 DME-XP 各項實驗中之延遲時間、繞線長度、穿孔數與功率消耗之比較表。

首先，在延遲時間方面，從表 5-17 中我們可以觀察到在不同繞線模式下的延遲時間變化。實質上，由於我們這一系列的實驗等於是將原本的單一區域直接分割為二到三個區域再做個別繞線，所以它們的繞線基礎結構可以說是完全不同，故直接比較一至三區繞線三者之間的延遲時間高低其實沒有一定的相對比例關係，且它們使用的同樣都是 DME-X 與 DME-XP 繞線法故直接比對數據高低比較沒有明顯的需要，但我們仍列出結果值以供觀察。表 5-17 中之相對比例是以單電壓島為 100% 做基準，各種多重電壓島分別與單電壓島做比較。方式為由多重電壓島之 r1 結果值與單電壓島之 r1 結果值相除可得 r1 部分之相對比例值，依此類推依序算出 r2~r5 之相對比例值，將 r1~r5 之結果加總後除以五即得整體平均之相對比例。下列各表格之相對比例算法皆比照此方式。

在使用相異電壓的情況下，若插入 level shifter 便會增加額外的元件延遲時間，但基於 level shifter 可等效為 buffer 的特性，部分繞線延遲時間反而有了一定程度的改善，其實際增減比率受到每個區域本身的原始繞線延遲時間影響，關鍵在於 level shifter 等效為 buffer 時對於延遲時間的改善程度是否足以彌補 level shifter 本身的元件延遲時間所帶來的負面影響。

大致來說，分區後再繞線的延遲時間與原始數據之間互有高低，但雙區繞線的延遲時間大部分都比原始單區繞線之延遲時間略高一些。在最單純的情況下，未置入多重電壓與 level shifter 的雙區繞線中，延遲時間總平均多了原始單區之單電壓島繞線 11.5%，而若是置入多重電壓及 level shifter 後，更是額外高了 12.9%。三電壓島的情況則相反，大部分的延遲時間都相對較低，單一電壓且無

level shifter 的情況下，其延遲時間總平均少了原始單區繞線 9.5%，若是考量多重電壓且置入 level shifter 的情況更是低了 27.1%。

表 5-17 多電壓島 DME-XP 繞線延遲時間之比較

benchmark	Delay(ps)				
	DME-XP (1.2V)	2V-DME-XP (1.2V)	2V-DME-XP (1.0v+1.2V)	3V-DME-XP (1.2V)	3V-DME-XP (1.0V+1.1V+1.2V)
r1	309829.6925	486635.3891	494374.4394	392062.4559	273618.6498
r2	1122692.1516	1227976.2215	1243736.4432	942497.5961	869296.7449
r3	1799442.9549	1594420.2270	1615490.8391	1317739.1529	1332732.2572
r4	4792344.2442	4773084.7405	4817220.9200	4041696.7180	3042190.3196
r5	8564433.4758	8840822.3293	8908966.0047	7259983.0037	5264249.3969
相對比例	100%	111.5%	112.9%	90.5%	72.9%

其次，如表 5-18 所示即為各項 DME-XP 之繞線長度結果比較表，在繞線長度方面，我們可以發現三種模式之間的繞線長度依然互有優劣，並且，我們發現使用相異電壓時插入一到數個 level shifter 元件後對於繞線長度的影響並不明顯，僅在三區繞線階段才可以看出極微幅增加。從表中可以發現，不論是雙電壓島或是三電壓島、也不論是單電壓設定或多重電壓之設定及不論 level shifter 之有無，其整體相對比例差不多都維持在高於原始單電壓島繞線 0.3% 的值。

表 5-18 多電壓島 DME-XP 繞線長度之比較

benchmark	Wirelength(μm)				
	DME-XP (1.2V)	2V-DME-XP (1.2V)	2V-DME-XP (1.0V+1.2V)	3V-DME-XP (1.2V)	3V-DME-XP (1.0V+1.1V+1.2V)
r1	1419028.1007	1373878.8390	1373878.8390	1406856.9620	1407027.2732
r2	2911773.5471	2815443.7426	2815443.7426	2808698.5025	2808722.3861
r3	3658510.8161	3749254.9402	3749254.9402	3659159.5228	3659575.9567
r4	7230327.3794	7410579.8887	7410579.8887	7503910.9183	7504053.6470
r5	10837358.1902	11205841.4336	11205841.4336	11115029.0422	11115198.3364
相對比例	100%	100.3%	100.3%	100.3%	100.3%

表 5-19 列出各項 DME-XP 時脈繞線在穿孔數方面的數值，我們首先可以發現到，不論是單電壓島、雙電壓島或是三電壓島，所形成的穿孔數其實相去不遠，可知從單區繞線改為多區繞線並未對整體之穿孔數帶來強烈變化，同時，也顯出 DME-XP 時脈繞線法之穩定性。其次，在多重電壓島的部分，可以觀察到單電壓設定與多電壓設定之間的穿孔數並沒有差異，可知在我們所設定的環境條件下，在各電壓島區塊之間的連結線段若是插入一到數個 level shifter 元件，實際上並不影響到穿孔數之增減。雙電壓島部分平均皆略小於原始單區繞線 0.7%，三電壓島則是略多 0.3%。

表 5-19 多電壓島 DME-XP 繞線穿孔數之比較

benchmark	Vias				
	DME-XP (1.2V)	2V-DME-XP (1.2V)	2V-DME-XP (1.0V+1.2V)	3V-DME-XP (1.2V)	3V-DME-XP (1.0V+1.1V+1.2V)
r1	1217	1243	1243	1223	1223
r2	2842	2795	2795	2866	2866
r3	4019	4018	4018	4045	4045
r4	9155	8863	8863	9085	9085
r5	14583	14471	14471	14624	14624
相對比例	100%	99.3%	99.3%	100.3%	100.3%

最後，功率消耗是我們最關切的部分，也是本研究的核心問題，如表 5-20 所示為所有 DME-XP 繞線之功率消耗比較表，我們可以發現在不考慮相異電壓的情況下，其實多區繞線有可能造成更高的功率消耗，二區與三區的繞線在 r3 以後的功率消耗值均高於原始繞線的功率消耗值，但從整體相對比例來看，單一電壓設定之雙區繞線與原始單區繞線做比較，大約低了 0.4%，三區繞線則是約高 1.9%。本實驗中將多區繞線卻僅使用單一電壓的情況也一併列出是為了方便與使用多重電壓的情況做相對性的比較，實際上在多區繞線的情況下，必須使用到數個相異電壓才真正具有電壓島的意義與價值。



一旦置入多重電壓後，就必須考量插入 level shifter 元件，雖然插入 level shifter 後會增加額外的元件功率消耗，但電壓島所節省的功率消耗大於 level shifter 的元件功率消耗，正面效果足以彌補負面影響，故從表中我們可以很明顯的看出功率消耗有著全面性的改善，不僅優於使用單一電壓的多區繞線，與原始的 DME-XP 繞線做比較同樣有明顯的改善，雙電壓島與三電壓島分別較單電壓島減少約 14.2%與 24.9%之功率消耗，顯見電壓島的使用對於功率消耗有著正面的幫助。

表 5-20 多電壓島 DME-XP 繞線功率消耗之比較

benchmark	Power(W)				
	DME-XP (1.2V)	2V-DME-XP (1.2V)	2V-DME-XP (1.0V+1.2V)	3V-DME-XP (1.2V)	3V-DME-XP (1.0V+1.1V+1.2V)
r1	0.078951	0.074501	0.062179	0.079007	0.055854
r2	0.194193	0.182567	0.160584	0.187545	0.138511
r3	0.259581	0.268301	0.237622	0.268285	0.202097
r4	0.599519	0.621109	0.536803	0.631730	0.470024
r5	0.993228	1.020858	0.863778	1.038590	0.766720
相對比例	100%	99.6%	85.8%	101.9%	75.1%

從整體平均值來看，可在表 5-20 中觀察到使用了雙電壓島及三電壓島且導入多重電壓之後，分別比原始的單電壓島繞線節省了 14.2%與 24.9%的功率消耗，故可知依據我們的實驗結構與想法，以電壓島為基礎結合 DME-XP 繞線法的觀念，確實能夠較原始 DME-XP 的繞線有更進一步的功率消耗改善。

我們在表 5-21 列出所有應用到多重電壓之電壓島的實驗結果之相對比例列表，以方便了解整體狀況，包含延遲時間、功率消耗、繞線長度與穿孔數等，該表一律以原始單電壓島之 DME-XP 時脈繞線做為比較基準(多重電壓島結果值/單電壓島結果值=相對比例)。從表中比例可以看出正符合上述分析之結果，並可觀察到整體情況。

表 5-21 DME-XP 整體比例列表

Benchmark	Delay(ps)			Power(W)			Wirelength( $\mu\text{m}$ )			Vias		
	DME-XP (1.2V)	2V-DME-XP (1.0V+1.2V)	3V-DME-XP (1.0V+1.1V +1.2V)	DME-XP (1.2V)	2V-DME-XP (1.0V+1.2V)	3V-DME-XP (1.0V+1.1V +1.2V)	DME-XP (1.2V)	2V-DME-XP (1.0V+1.2V)	3V-DME-XP (1.0V+1.1V +1.2V)	DME-XP (1.2V)	2V-DME-XP (1.0V+1.2V)	3V-DME-XP (1.0V+1.1V+ 1.2V)
r1	100%	159.5%	88.3%	100%	78.7%	70.7%	100%	96.8%	99.1%	100%	102.1%	100.4%
r2	100%	110.7%	77.4%	100%	82.6%	71.3%	100%	96.6%	96.4%	100%	98.3%	100.8%
r3	100%	89.7%	74.0%	100%	91.5%	77.8%	100%	102.4%	100.0%	100%	99.9%	100.6%
r4	100%	100.5%	63.4%	100%	89.5%	78.4%	100%	102.4%	103.7%	100%	96.8%	99.2%
r5	100%	104.0%	61.4%	100%	86.9%	77.1%	100%	103.4%	102.5%	100%	99.2%	100.2%
相對比例	100%	112.8%	72.9%	100%	85.84%	75.06%	100%	100.32%	100.34%	100%	99.26%	100.24%

#### 第四節 X 時脈繞線完成圖

以下依序列出本實驗中使用了不同電壓設定的 DME-X 及 DME-XP 所有繞線組合的 r5 部分繞線結果圖，分別是使用單電壓島的原始單電壓 DME-X(P)繞線、使用雙電壓島且僅使用單一電壓設定與使用雙電壓設定的 DME-X(P)繞線、使用三電壓島且僅使用單一電壓與使用三電壓設定的 DME-X(P)繞線，共十種組合：

如圖 5-4 所示為使用 DME-X 繞線方法之 r5 繞線結果圖，其延遲時間為 5954887.4156ps，功率消耗為 1.023837W。而圖 5-5 所示為使用 DME-XP 繞線方法之 r5 繞線結果圖，其延遲時間為 8564433.4758ps，功率消耗為 0.993228W。

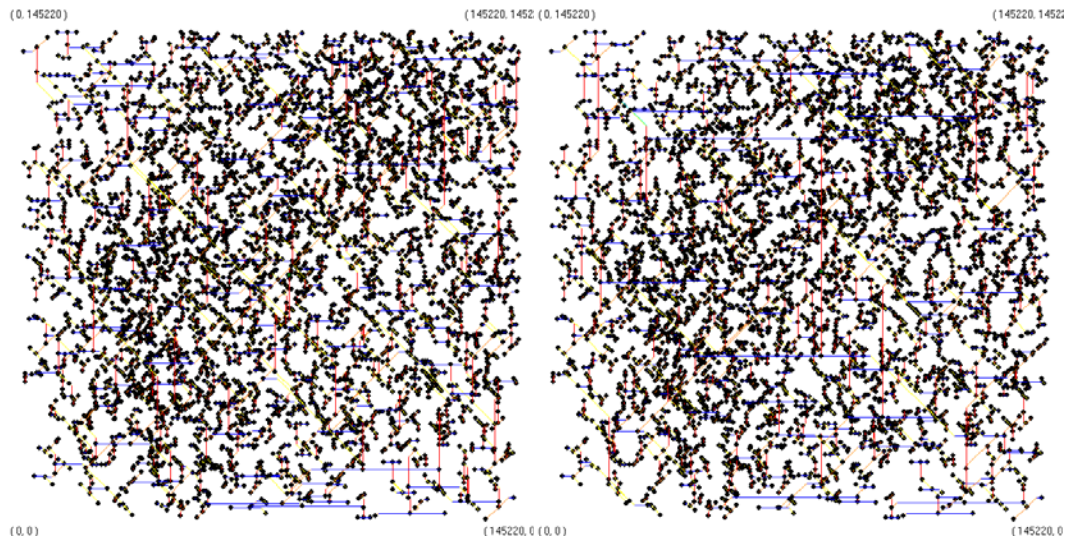


圖 5-4(上左) DME-X r5 繞線結果

圖 5-5(上右) DME-XP r5 繞線結果

如圖 5-6 所示為使用雙電壓島但只使用單一電壓設定的 DME-X 繞線之 r5 繞線結果圖，其延遲時間為  $8696753.6059ps$ ，功率消耗為  $1.036605W$ 。而圖 5-7 所示為使用雙電壓島但只使用單一電壓設定的 DME-XP 繞線之 r5 繞線結果圖，其延遲時間為  $8840822.3293ps$ ，功率消耗為  $1.020858W$ 。

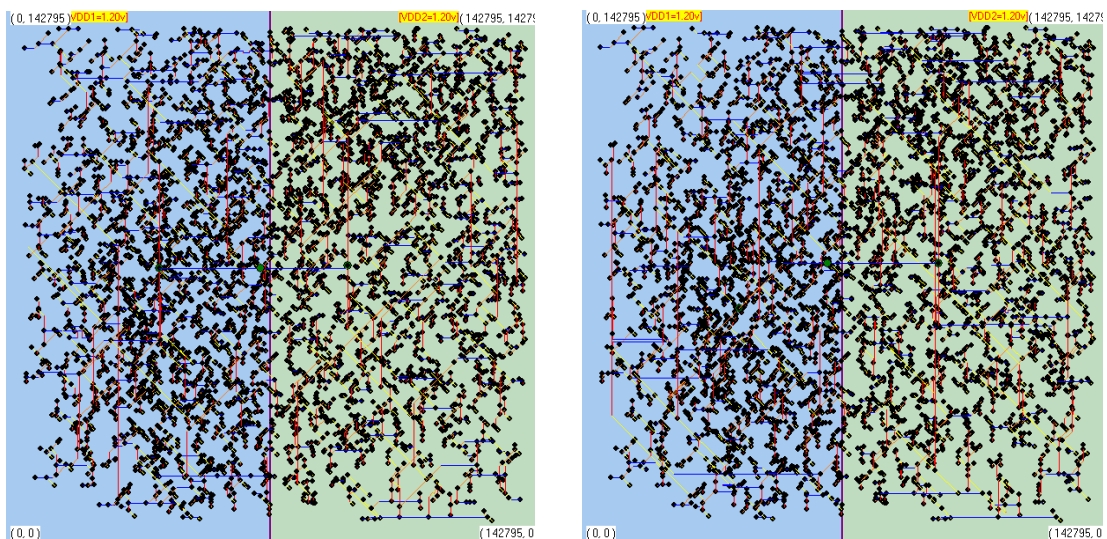


圖 5-6(上左) 雙電壓島單電壓 DME-X r5 繞線結果

圖 5-7(上右) 雙電壓島單電壓 DME-XP r5 繞線結果

如圖 5-8 所示為使用雙電壓島且使用雙電壓設定的 DME-X 繞線之 r5 繞線結

果圖，其延遲時間為  $8766221.5632ps$ ，功率消耗為  $0.878678W$ 。而圖 5-9 所示為使用雙電壓島且使用雙電壓設定的 DME-XP 繞線之 r5 繞線結果圖，其延遲時間為  $8908966.0047ps$ ，功率消耗為  $0.863778W$ 。

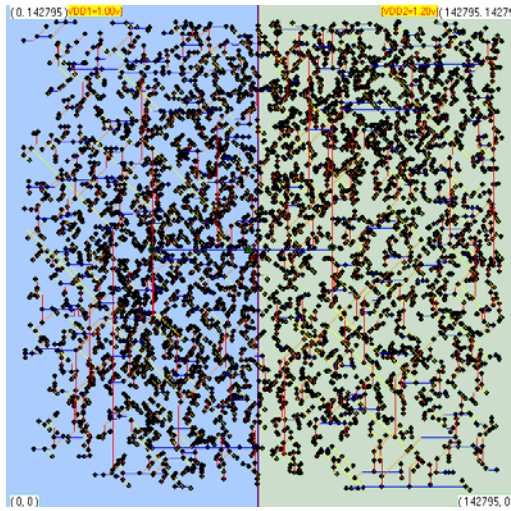


圖 5-8(上左) 雙電壓島雙電壓 DME-X r5 繞線結果

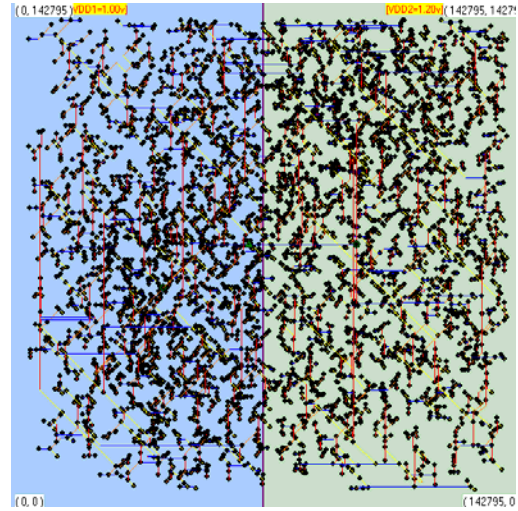


圖 5-9(上右) 雙電壓島雙電壓 DME-XP r5 繞線結果

如圖 5-10 所示為使用三電壓島但只使用單一電壓設定的 DME-X 繞線之 r5 繞線結果圖，其延遲時間為  $8220294.2397ps$ ，功率消耗為  $1.057198W$ 。而圖 5-11 所示為使用三電壓島但只使用單一電壓設定的 DME-XP 繞線之 r5 繞線結果圖，其延遲時間為  $7259983.0037ps$ ，功率消耗為  $1.03859W$ 。

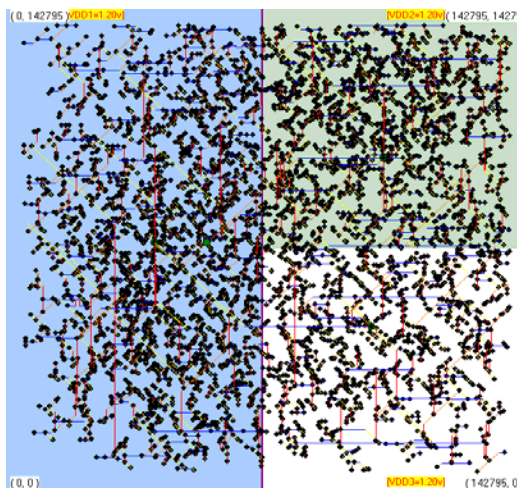


圖 5-10(上左) 三電壓島單電壓 DME-X r5 繞線結果

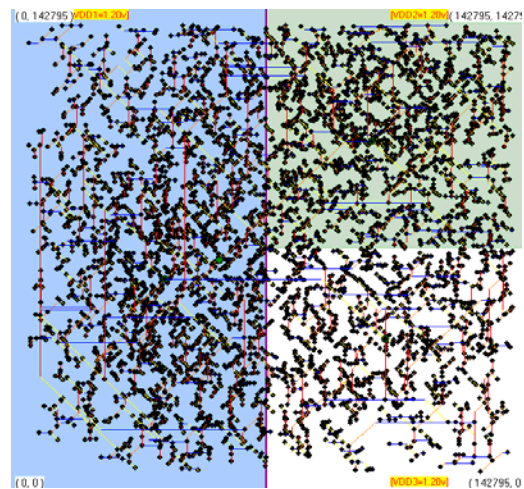


圖 5-11(上右) 三電壓島單電壓 DME-XP r5 繞線結果

如圖 5-12 所示為使用三電壓島且使用三電壓設定的 DME-X 繞線之 r5 繞線結果圖，其延遲時間為 5649290.7ps，功率消耗為 0.778362W。而圖 5-13 所示為使用三電壓島且使用三電壓設定的 DME-XP 繞線之 r5 繞線結果圖，其延遲時間為 5264249.3969ps，功率消耗為 0.76672W。

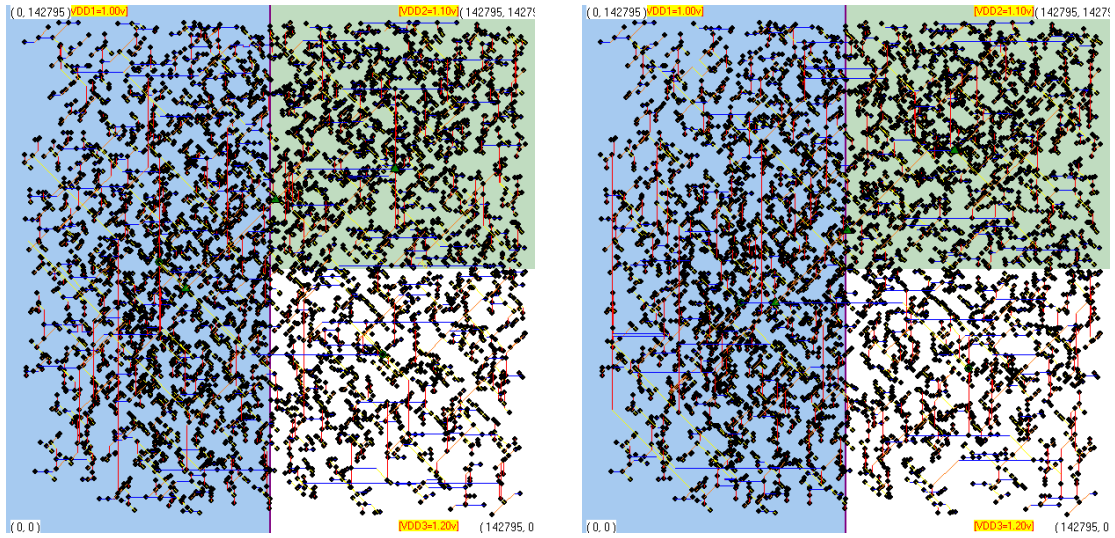


圖 5-12(上左) 三電壓島三電壓 DME-X r5 繞線結果

圖 5-13(上右) 三電壓島三電壓 DME-XP r5 繞線結果

## 第六章、結論與未來展望

經由上一章實驗結果之比較與分析後，我們可以了解到將 DME-XP 繞線應用於雙電壓島與三電壓島佈局環境之後，其延遲時間依不同條件而略有增減，與原始的單電壓島之 DME-XP 繞線做比較，雙電壓島之延遲時間平均值增加了 12.8%，而三電壓島則是大約減少 27.1% 的值。此外，兩者之繞線長度與原始的單電壓島之 DME-XP 繞線長度比較，兩者皆僅增加了 0.3% 左右。而雙電壓島與三電壓島之穿孔數的平均量分別減少了 0.74% 與增加了 0.24%，差異量皆在 1% 以內，亦顯出其穩定性。最後，關鍵之處在於功率消耗方面，我們觀察雙電壓島與三電壓島之結果，與原始的單電壓島之 DME-XP 繞線比較，發現它們分別節省了 14% 和 25% 的功率消耗。

因此，我們在電壓島的基礎上加進了 DME-XP 時脈繞線的應用，對於功率消耗進一步的節省顯而易見，顯然這樣的實驗構想是可行的。但在這種繞線方法結合電壓島的實驗結構下尚有許多可以考慮到的進步空間，例如，本篇論文對於電壓的設定是給予一到數個固定的電壓島區塊，未使用到動態電壓規劃的觀念，未來可以考慮使用到電壓島技術中提到的動態電壓島配置的概念，對於電路電壓配置做不規則的調整也許可以得到進一步的功率消耗節省效果，但必須注意在這種構想下必然會使用到適量的 level shifter 元件，除了提高複雜度之外，這些額外元件會造成什麼影響值得注意。

另外，本篇論文使用的繞線方法是 DME-XP，相信若選擇或是設計其他特性不同的繞線方法可以呈現出不同的變化；其次，在電壓島規劃上也可以有不同的變化，除了可以考慮更多區塊的配置外，也可以設計非矩形的不規則電壓島配置，當然考慮插入 buffer 也是可行的改善方向，相信這些更多元而細部的變化都具有使實驗結果進一步改善的可能性。

## 參考文獻

- [1] 吳俊德，“多重電壓源的低功率及零時脈差異之時脈樹設計”，*私立中原大學資訊工程研究所碩士論文*，July 2005.
- [2] 高健文，“RLC時脈繞線之串音分析與減少”，*國立臺北科技大學電腦與通訊研究所碩士論文*，July 2005.
- [3] 劉亦章，“考慮電壓降之零時脈差異時脈樹研究”，*私立中原大學資訊工程研究所碩士論文*，July 2005.
- [4] Chia-Chun Tsai, Jan-Ou Wu, Yu-Ting Shieh, Chung-Chieh Kuo, and Trong-Yen Lee, “Tapping Point Numerical-Based Search for Exact Zero-Skew RLC Clock Tree Construction,” *IEEE Asia-Pacific Conference on Circuits and Systems*, 4-7 Dec., 2006, pp. 813-816.
- [5] S.P. Shang, X.-D. Hu, and Tong Jing, “Average Lengths of Wire Routing under M-Architecture and X-Architecture,” *IEEE International Symposium on Circuits and Systems*, May 2006 , pp. 321-324.
- [6] Weixiang Shen, Yici Cai, Jiang Hu, Xianlong Hong, and Bing Lu, “High Performance Clock Routing in X-Architecture,” *IEEE International Symposium on Circuits and Systems*, May 2006, pp. 2081-2084.
- [7] Rajaram Anand, Jiang Hu, and Mahapatra Rabi, “Reducing Clock Skew Variability Via Crosslinks,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 25, June 2006, pp. 1176-1182.
- [8] Jan-Ou Wu, Chia-Chun Tsai, Chung-Chieh Kuo, and Trong-Yen Lee, “Zero-Skew Driven for Buffered RLC Clock Tree Construction,” *IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences*, Vol. E90-A, No. 3, March 2007, pp. 651-658.

- [9] Chia-Chun Tsai, Chung-Chieh Kuo, Jan-Ou Wu, Trong-Yen Lee, and Rong-Shue Hsiao, "A Topology-Based Construction for X-Architecture Clock Routing," *The 18th VLSI Design/CAD Symposium*, August 2007, pp. 166-169.
- [10] Chia-Chun Tsai, Jan-Ou Wu, Chung-Chieh Kuo, Trong-Yen Lee, and Rong-Shue Hsiao, "Delay Modeling for RLC Trees with LU Decomposition Matrice," *IEEE The Fourth International Conference on Information Technology and Applications*, 15-18 Jan., 2007, pp. 688-692.
- [11] Chia-Chun Tsai, Wei-Shi Lin, Jan-Ou Wu, Chung-Chieh Kuo, Trong-Yen Lee, and Rong-Shue Hsiao, "Layer Assignment Considering Manufacturability in X-Architecture Clock Tree," *IEEE International Conference on Computer and Information Technology*, 8-11 July, 2008, pp. 880-885.
- [12] Wai-Kei Mak, and Jr-Wei Chen, "Voltage Island Generation under Performance Requirement for SoC Designs," *Design Automation Conference in Asia and South Pacific*, 23-26 Jan., 2007, pp. 798-803.
- [13] Ming-Ching Lu, Meng-Chen Wu, Hung-Ming Chen, and Hui-Ru Jiang, "Performance Constraints Aware Voltage Islands Generation in SoC Floorplan Design," *IEEE International SOC Conference*, 24-27 Sept., 2006, pp. 211- 214.
- [14] Ren-Song Tsay, "An Exact Zero-Skew Clock Routing Algorithm," *IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems*, Vol. 12, Feb. 1993, pp. 242-249.
- [15] Jingcao Hut, Youngsoo Shins, Nagu Dhanwadat, and Radu Marculescut, "Architecting Voltage Islands in Core-based System-on-a-Chip Designs," *Proceedings of The International Symposium on Low Power Electronics and Design*, 2004, pp. 180-185.
- [16] Wan-Ping Lee, Hung-Yi Liu, and Yao-Wen Chang, "An ILP Algorithm for



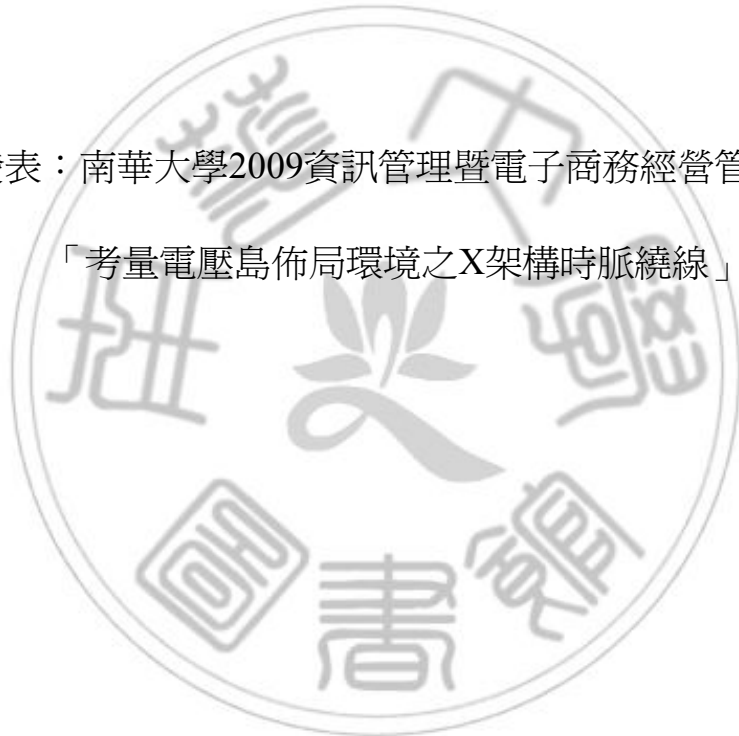
- Post-Floorplanning Voltage-Island Generation Considering Power-Network Planning,” *IEEE/ACM International Conference on Computer-Aided Design*, 4-8 Nov., 2007, pp. 650-655.
- [17] Arif Ishaq AbouSeido, Brian Nowak, and Chris Chu, “Fitted Elmore Delay: A Simple and Accurate Interconnect Delay Model,” *IEEE Transactions on Very Large Scale Integration Systems*, Vol. 12, Issue 7, July 2004, pp. 691-696.
- [18] Jason Cong and Zhigang (David) Pan, “Interconnect Performance Estimation Models for Design Planning,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 20, Issue 6, June 2001, pp. 739-752.
- [19] Tai-Chen Chen, Song-Ra Pan, and Yao-Wen Chang, “Timing Modeling and Optimization under The Transmission Line Model,” *IEEE Transactions on Very Large Scale Integration Systems*, Vol. 12, Issue 1, Jan. 2004, pp. 28-41.
- [20] Kenneth D. Boese and Andrew B. Kahng, “Zero-Skew Clock Routing Trees with Minimum Wirelength,” *Proceedings of Fifth Annual IEEE International ASIC Conference and Exhibit*, 21-25 Sept., 1992, pp. 17-21.
- [21] Andrew Kahng, Jason Cong, and Gabriel Robins, “High-Performance Clock Routing Based on Recursive Geometric Matching,” *The 28th ACM/IEEE Design Automation Conference*, 17-21 June, 1991, pp. 322-327.
- [22] Jeng-Liang Tsai, Tsung-Hao Chen, and Charlie Chung-Ping Chen, “Zero-skew Clock-Tree Optimization With Buffer Insertion/Sizing and Wire Sizing,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 23, Issue 4, April 2004, pp. 565-572.
- [23] Yehea I. Ismail, Eby G. Friedman, and José L. Neves, “Equivalent Elmore Delay for RLC Trees,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 19, Issue 1, Jan. 2000, pp. 83-97.
- [24] W. C. Elmore, “The Transient Response of Damped Linear Network with

- Particular Regard to Wideband Amplifiers,” *J. Applied Physics*, 1948, pp. 55–63.
- [25] T. H. Chao, Y. C. Hsu, and J. M. Ho, “Zero Skew Clock Net Routing,” *ACM/IEEE Design Automation Conf.*, 1992, pp. 518-523.
- [26] T. H. Chao, Y. C. Hsu J. M. Ho, K. D. Boese and A. B. Kahng, “Zero Skew Clock Routing With Minimum Wirelength,” *IEEE Transactaons on Computers and Systems*, 1992, pp. 799-814.
- [27] R. S. Tsay, “Exact Zero Skew,” *IEEE International Conference on Computer-Aided Design*, 1991, pp. 336-339.

## 附錄 I

論文發表：南華大學2009資訊管理暨電子商務經營管理研討會

「考量電壓島佈局環境之X架構時脈繞線」



# 考量電壓島佈局環境之X架構時脈繞線

## X-Architecture Clock Routing with Considering Voltage-Island Placement

蔡加春

南華大學資工系  
chun@mail.nhu.edu.tw

尤志豪

南華大學資管所  
baroque2@yahoo.com.tw

### 摘要

目前的 VLSI 設計環境中，電壓島的佈局環境已非常普及，尤其是多電壓島的考量更可節省功率的消耗量。本篇論文的主要研究在多電壓島的佈局環境下，完成零時脈差異之 X 結構時脈繞線。使用一種結合 X 結構之 DME 時脈繞線法及兼具有翻轉 (flip) 考量之 DME-XP 演算法，應用於多電壓島之不同區塊配置、不同電壓源的佈局環境。經實驗結果顯示，雙電壓島與三電壓島分別較單電壓島減少約 14.2% 與 24.9% 之功率消耗，實質地達到減少功率消耗之目的。

**關鍵詞：**多重電壓島，X-時脈繞線，零時脈差異，功率消耗

### Abstract

In the recent VLSI design environment, the voltage-island placement is a universal technique which can save the power consumption. So, we cannot ignore the clock routing problem in the voltage-island placement environment. The main structure in this paper is to construct a zero-skew X-architecture clock tree in the voltage-island placement by using DME-XP routing method which considers the flip process. Experiments for benchmarks, we observe that results in power reduction based on two-voltage and three-voltage island placement have up to 14.2% and 24.9%, respectively, better than that of single-voltage island.

**Keywords:** Multi-voltage island, X-clock routing, Zero skew, power consumption.

### 1. 前言

近年來，隨著高效能晶片的發展，使運作時脈越來越高，在系統單晶片(system-on a chip)上更整合許多積體電路元件，相對地也大幅提高了晶片整體的功率消耗。而我們常見的電路結構通常提供一個電壓以供此電路運作，但這種方式會造成部分電力的虛耗。在一個積體電路中的各功能元件，實際上需要的電壓並不相同[2]，一般情況下，電壓需求較高的是程序處理單元，而邏輯控制或記憶單元等功能元件所需要的電能則較低，只提供單一電壓等於是強迫讓所有電路以最大電源在工作。

為了降低功率消耗，目前在實體設計環境中，在平面規劃(floorplanning)或佈局規劃(placement)階段時，就已經考量多重電壓(multiple voltages)供應

的觀念[3][4][5]，不同的電路模組可由不同的電壓來供應，以降低不必要的功率消耗，此即為電壓島(voltage islands)的佈局環境。

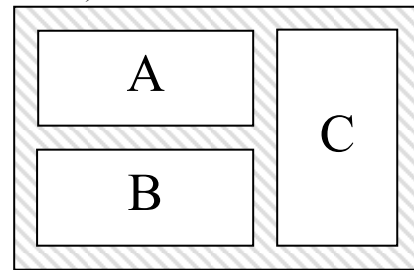


圖 1 電壓島佈局環境示意圖

如圖 1 所示為電壓島佈局環境之示意圖，我們將此電路平面分割為 ABC 三個區域，我們常見的電路運作上是僅給予單一的工作電壓，即 A、B、C 三個區域均使用單一電壓在運作，此即為傳統的單電壓島佈局環境。但在改使用多重電壓島情況下，我們將不同區域之分別給予不同電壓值，如 AB 與 C 區域為不同電壓，或 ABC 區域的供應電壓都不同等，可能會有更多分割區或更複雜的多重電壓情況。

目前與電壓島相關的研究大部分都專注於整體電壓的配置與規劃[2][3][4][5]，少有考量到多重電壓島時脈繞線方法。故本篇論文的特點在於已設定好的電壓島條件上結合時脈繞線方法，並觀察這樣的實驗架構為整體系統效能帶來多少程度的正面改善及額外的副作用。

在此，我們選擇使用的時脈繞線方法為 DME-XP [1]，由於此方法在時脈延遲、繞線長度與功率消耗已有一定程度的優勢。故本篇論文的實驗方式為基於電壓島佈局環境整合 DME-XP 的時脈繞線，並分別比較在使用單一電壓與雙電壓島、三電壓島的情況下，功率消耗帶來的影響與變化，同時也觀察不同的繞線結構下的延遲時間與繞線長度的增減程度。

### 2. 問題描述

#### 2.1 X-topology 表之建置

為配合 X 結構之時脈繞線，首先須建置連結兩個端點的一個 X 結構拓撲表(X-topology)，並做為 X 繞線型態之依據。其建置規則針對一個端點將整個要繞線區域分為四區域(zone)：LT (left-top 左上)、LB (left-bottom 左下)、RT (right-top 右上)、RB (right-bottom 右下)，如圖 2(a)所示；接著對另一個

端點基於四個不同繞線方向分成四個子區域：SLT (sub-left-top)、SLB (sub-left-bottom)、SRT (sub-right-top)、SRB (sub-right-bottom)，如圖 2(b) 所示。最後再依兩個端點所在的區域來決定合適的 X 結構繞線。

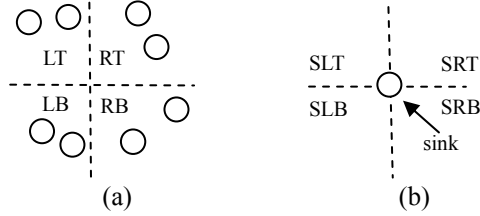


圖 2 (a)繞線分區示意圖與(b)一個端點的子區域

以圖 3 所示為例，端點  $s_1$  位於 LT 並且要與另一端點  $s_2$  連線，依序考慮  $s_2$  的相對位置落在 SLT、SRT、SLB、SRB 等四個不同方向。假設佈局平面的中心點在右下方，則對應的  $s_1$  連接到  $s_2$  的連線會較傾向右下方，而能促使此連線較短，因此  $s_1$  對應到 SLT、SRT、SLB、SRB 等四個子區域的  $s_2$  各為 rand、type1、type2、rand 等這樣的連線型態，type1 與 type2 分別代表兩個 X-pattern，而 rand 則代表 type1 與 type2 擇一。

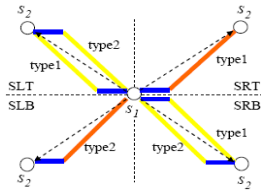


圖 3 X 拓撲示意圖

依據上述原則，假設  $s_i$  為起始端點並位於四個區塊之一， $s_j$  為終結端點且位於四個子區塊之一，兩端點  $s_i$  與  $s_j$  之連線可推導出 X-pattern 匹配法則，並整理出如表 1 之 16 種 X 連線拓撲表。

表 3 16 種 X 連線拓撲表

The zone of start point $s_i$	The zone of end point $s_j$			
	SLT	SRT	SLB	SRB
LT	rand	type1	type2	rand
RT	type1	rand	rand	type2
LB	type2	rand	rand	type1
RB	rand	type2	type1	rand

另外，對於 X 連線其鄰近層的連接須有一個穿孔(via)作橋接，如 M1-M2, M2-M3, 或 M3-M4 等。如果鄰近兩層的連接，則須兩個穿孔數，如 M1-M3 或 M2-M4 等。

## 2.2 時脈繞線問題定義

首先，我們必須了解，在時脈繞線的過程中，盡可能的使得延遲時間(clock delay)縮減，相對於整體電路的效能將有所提升；同時，我們也必須使得時脈誤差(clock skew)為零，若時脈誤差過大，可能會使電路產生預料外的故障或停擺。

其次，繞線長度與總功率消耗的狀況也必須重視，尤其繞線長度對於延遲時間來說也是影響因素之一，故不可忽視它對系統效能帶來的影響力，同時，當繞線長度與功率消耗能夠降低時，對於該時

脈繞線之建構成本必然也能有所改善。

綜合以上的敘述與說明，顯而易見的，我們在時脈繞線階段有四個不可忽視目標：延遲時間最短、時脈誤差為零、繞線長度的減少、功率消耗的改善等。所以，我們可將本研究要解決的時脈繞線問題定義如下：

輸入資料：已知一組  $n$  個時脈端點及對任意兩端點間連線之一組 X-topology 表，且此  $n$  個時脈端點可分割成多重電壓島的佈局環境。

輸出目標：在 X-結構下，完成此多重電壓島之  $n$  個時脈端點的繞線，並能得到時脈延遲最小、繞線長度最短、功率消耗最低且達成 zero-skew 之時脈樹。

## 3. 延遲模型與功率消耗評估

Elmore delay(ED) model [9]是被廣泛使用的計算連線延遲方式之一，但Elmore delay model的算式所得出的延遲時間常有估計值過高的失誤，在精確度上面有它的限制存在；因此，我們選擇準確度相對較高的FED (Fitted ED) model [6]公式來做為評估連線延遲的方法。

如圖4所示為一個最小元件驅動一條線段  $i$  (長度為  $l$ ，寬度為  $w$ )之延遲等效電路，其中各符號意義如下。

- $r_d$ : the output resistance of a minimum device
- $r$ : the sheet resistance
- $c_a$ : the unit area capacitance
- $c_f$ : the unit fringing capacitance

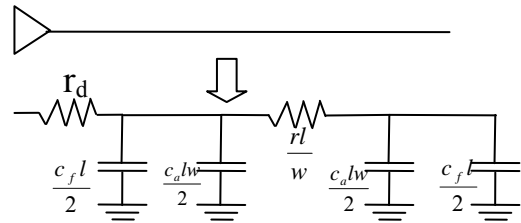


圖 4 FED model 等效電路

依FED model尚未考量驅動元件輸出電阻時之該線段延遲時間 $d_k$  (由端點 $i$ 至端點 $k$ )如下：

$$d_k = \sum_{i \in P(k)} r_d \frac{l_i}{w_i} \left[ \frac{(Dc_a w_i + Ec_f) l_i}{2} + FC_{load,i} \right] \quad (1)$$

如果於線段前端插入位準轉換器(level shifter)或緩衝器(buffer)元件，公式(1)可擴充為計算該插入元件之延遲時間，我們用 $d_{LS}$ 來表示：

$$d_{LS} = r_d \left[ l(Ac_a + Bc_f) + Cc_L \right] + r \frac{l}{w} \left[ \frac{(Dc_a w + Ec_f) l}{2} + FC_L \right] \quad (2)$$

上述(1)與(2)兩個公式中之A,B,C,D,E與F代表近似HSpice模擬資料的計算係數。

此外，我們在時脈繞線設計時也要考慮功率消耗的影響，能源消耗的評估公式[1]如下：

$$Power = \sum_{\forall ei} C_{load,i} F_{clk} Vdd^2 \quad (3)$$

上式中各變數的意義如下：

$F_{clk}$  : the clock frequency

$V_{dd}$  : the supplying voltage

$C_{load,i}$  : the capacitance of sink i or point i

#### 4. 位準轉換器(Level Shifter)

位準轉換器(level shifter)乃是電壓島連接中的重要元件，此元件對電路造成的影響條件包含了其本身之電容、電阻及延遲等，如圖 5 所示即為其等效電路圖，其中  $C_{LS}$  為輸入電容， $T_{LS}$  為內部延遲時間，而  $R_{LS}$  為輸出驅動電阻。

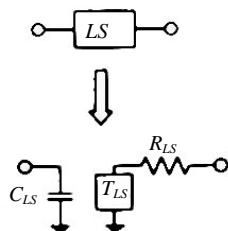


圖 5 Level shifter 等效電路

位準轉換器的真正關鍵在於兩個區塊分別使用不同電壓的情況下，我們需要在兩個區塊之間插入 level shifter 才可以順利連結兩個相異電壓的驅動。並且要注意 level shifter 只須於低電壓連結到高電壓處插入[2][5]；反之，高電壓連結低電壓或是相同電壓的情況下不須考慮使用 level shifter。值得關切的是 level shifter 其實可以等效為一個 buffer 架構[2]，除了做為相異電壓的連結元件外，對於延遲時間的改善也有一定程度的幫助。

#### 5. 電壓島佈局環境之 X 架構時脈繞線方法

在我們的時脈繞線設計中，初步根據 benchmark 配置檔，先將該電路端點位置分區，並依此規則將所有區塊的端點分別做 DME-XP 繞線演算法。若是雙電壓島的情況，會有兩個區域，將其分別完成時脈繞線後會分別產生兩個子時脈樹，之後再額外加入線段將兩個時脈子樹做連結，兩個子樹其實是由原本的單一結構被分區後再分別獨立完成繞線所形成的。若兩區輸入的是不同的電壓，便須在兩者之間插入 level shifter 才能順利完成連線。

##### 5.1 DME-XP 時脈繞線方法

本篇論文所使用的前置時脈繞線 DME-X 演算法，並考量翻轉(flip)的必要性，此演算法即命名為 DME-XP[1]，它包含五個步驟，如下所述：

##### A. DPPG(Determine Pair of Points using GMA)

本繞線演算法的第一步便是先採用的方法是 GMA[8]來尋找端點(sink)的配對，以此建立初步的連結規則與順序。GMA 規則所尋找的會是點與點之間的最短距離，在我們的方法裡，讀取進端點配置檔後，便將所有端點依 X、Y 座標值排序，從 X 與 Y 相對最小的開始往上排序，並依此順序與找最佳配對，若是被配對過的點則不會再重複配對。

##### B. CPXT(Choose Proper X Topology)

確認連結順序後，下一步就是要建立點與點之間的連線方式。以圖 6 所示的配置為例，假設圖中 s1 位於 LT，而 s2 位於 RT，首先以起始點 s1 來看，s2 的相對位置是位於 SRB，參考前一節所介紹的拓樸表 1 中 LT 之 SRB 所得到的結果是 X 繞線  $CPXT(s1,s2)=rand$ ，再分析 s2 連向 s1 的結果，對 s2 來說 s1 的相對位置則為 SLT，參照拓樸表 RT 之 SLT 的規則，得到的結果為  $CPXT(s2,s1)=type1$ ，故取其交集可得  $CPXT(s1,s2) \cap CPXT(s2,s1)=rand \cap type1=type1$ ，所以最後選擇結果為 X 繞線 type1。

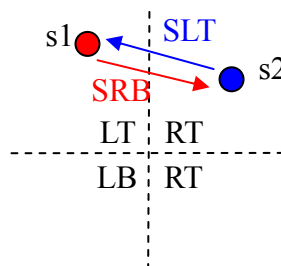


圖 6 兩個端點分區與連線示意圖

##### C. DCTP(Determine Coordinates of Tapping Point)

DCTP 這個程序在於尋找每條連線的 tapping point(分接點)位置，以建立零時脈差異之時脈樹(zero-skew clock tree, 簡稱 ZST)。在繞線程序的每一階段都顧及延遲時間的整體平衡，以達成建立 ZST 的目標。如圖 7(a)中，Pt 的位置便代表這個線段的 tapping point，這個點通常代表從這個位置往 S1 與 S2 的延遲時間可以達成平衡；若是 tapping point 處在極端位置仍舊無法達成時間平衡時，如圖 7(b)，便必須再額外插入 snaking wire 藉此拉長線段，以確保達成時間平衡並建立 ZST，如圖 7(c)所示。

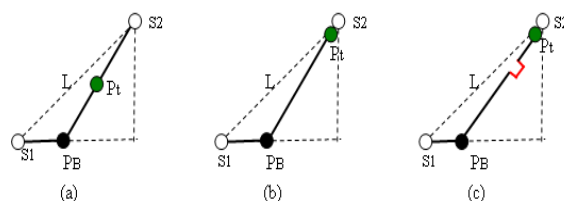


圖 7 tapping point 與 snaking wire

##### D. DME-X

本演算法最重要的繞線程序在於 DME-X 這個步驟，在曼哈頓架構下的繞線只考慮到垂直水平線段，但在 X 架構中的繞線還考慮到了 45° 斜向線段的可能性，X 架構下的時脈繞線已經被證明相較於曼哈頓較能節省繞線長度。

X 架構下的 DME 演算法是由傳統 DME 改良而來，一個完整的 DME 方法在程序上主要分為兩步驟，由下而上 bottom-up 與由上而下 top-down。在 bottom-up 階段時，主要是由時脈樹拓樸(clock tree topology)所建立的連結次序來設定時脈樹內部節點(internal nodes)的連結線段，這個部分可由各個端點擴展開來區域之交集處形成所謂的 merge segments

(簡稱為 ms)，而這些 ms 本身又會再擴展出一個區域再形成新的 ms，ms 所指的就是一個 internal nodes 可能被放置的位置之總集合。如圖 8 中所示即是一個典型的 ms 結構，ms 指的是 TRR(tile ratio region) 區域的核心，ms 可能是一個時脈端點(clock sink) 或是由 TRR 的交集界線所構成，至於 TRR 區域就是由各個 ms 核心延展開來的區域。隨著 DME 的建構，一個 TRR 區域會與它下一個聯結的 TRR 區域再產生新的 ms。

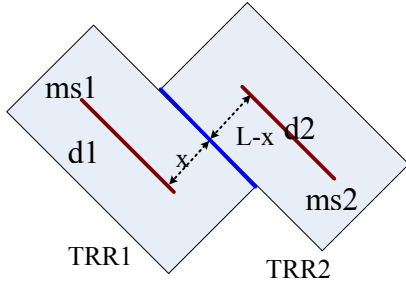


圖 8 ms 的形成

在 top-down 階段，根據第一步所得到的拓樸規則尋找每個 internal nodes 在 ms 上的明確位置，並依此完成節點的連線，建立完整的時脈樹。而 DME 的優點在於可以建立零時序誤差(zero skew)的時脈樹，同時又可以有效降低延遲時間，甚至相較其它典型繞線演算法有著更明顯的線長縮減。

DME-4 則是由兩個核心擴展出的八角形交集處線形成 ms，如圖 5.4 所示。

在傳統 DME 演算法中，其四邊形擴展區域稱為 TRR，而在 DME-4 中的八角形區域則。

DME 的 ms 乃是由兩個核心擴展出的四邊形的交集線(如圖 8 所示)，如圖 9 所示，我們所使用的 DME-X 則是各以 s1 與 s2 為欲連線之兩端點為其中心延展出八角形(稱為 tiled octangular region) 相交處為 ms 位置，且 ms 到 s1 與 s2 的 delay 必須相等，並將兩個八角形的結合簡化為一個平行四邊形，而這個平行四邊形實際上是前述 CPXT 之 type1 與 type2 結合組成，type1 與 type2 經由 DCTP 程序後，便可找出各自的 tapping point，圖中之 Pt 與 Pt' 兩點即是 tapping points。

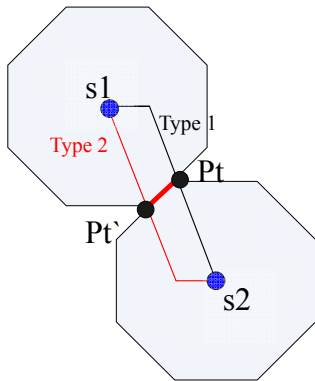


圖 9 Tapping point 與 ms 的關係圖

上述 type1 與 type2 組合，實際連線過程中只有一條 type 線被選擇到。如圖 9 中 s1 與 s2 的連線經過 CPXT 程序後，所選定的連線型態為 type1，則

type2 的連線，可候補為在翻轉(X-Flip)考量減縮連線長度之評估與需求。

DME-X 之繞線方式由每個點開始由下而上(bottom-up)一層一層建立 ms，再由 clock source 由上往下(top-down)依循前面所建立好的順序與連線型態規則層層往下完成實際連線，最終便可以完成整個 DME-X 的繞線。

### E. X-Flip

X-Flip 這個程序的作用在於進一步縮短繞線長度，它會在每一組線段完成繞線時，考量每一組線段組合是否具有額外縮短線長的空間與可能性，而考慮 X-Flip 的演算法，則被命名為 DME-XP。

如圖 10(a)，我們將線段組合以 L(sink1, sink2) 來表示，圖中的 L(X1, X2) 與 L(X3, X4) 分別為兩條完成繞線的線段，X9 與 X10 分別為兩線段的 tapping point，且 L(X1, X2) 與 L(X3, X4) 這兩組線段以 L(X9, X10) 做為連結線，至於 X9' 與 X10' 則分別為兩線段另一個可能的 tapping point 位置，實質上 X9' 與 X10' 就是這兩組線段在 CPXT 階段時另一種 type 所擁有的 tapping point。

以圖 10(a) 為例，若考慮將原本的 X9 與 X10 置換成 X9' 或 X10'，這能夠再進一步縮短繞線長度，以線段長度來說可以很明顯發現 L(X9', X10') 小於 L(X9, X10)，顯然若選擇轉換是個較佳的方式。但 X9' 與 X10' 的存在實際上在 CPXT 階段便已被拒絕，所以我們才需要 X-Flip 這一程序來做修正，補足原本 DME-X 無法兼顧連線長度的不足。如圖 10(b) 所示為另一個例子，便是將 L(X1, X2) 與 L(X3, X4) 完成翻轉(flip)後的結果。

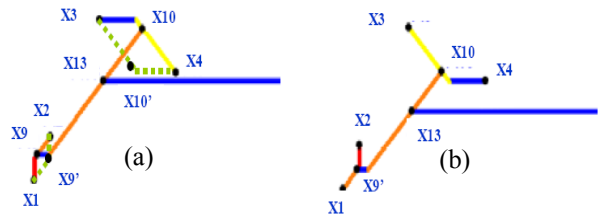


圖 10 X-flip 示意圖

### 5.2 電壓島時脈繞線的分工與整合

本研究最主要的問題在於將 DME-XP 繞線法結合多重電壓島，並且分別考量不同的電壓組合所帶來的影響。值得注意的是在相異電壓之電壓島之間要做連結時，我們必須在兩電壓島之間插入 level shifter[2][5]。如圖 11 所示便是使用了 level shifter 後的時脈樹結構示意圖，兩個端點的連結中插入 level shifter 後的等效電路圖則如圖 12 所示。

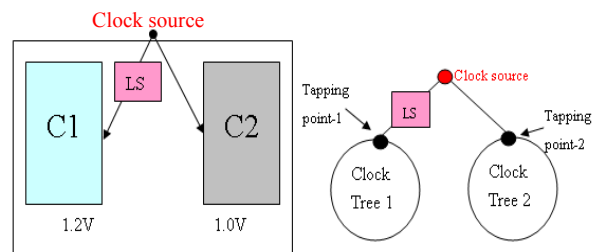


圖 11 Level shifter 插入結構示意圖

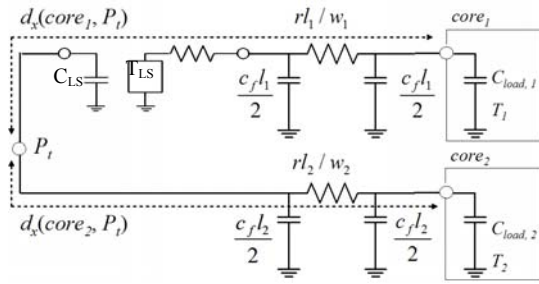


圖 12 Level shifter 之插入等效電路

### 5.3 多重電壓島 DME-XP 時脈繞線演算法

如圖 13 所示為多重電壓島 DME-XP 演算法，本演算法共分三大階段，首先，輸入一個 IBM benchmark 檔，該檔內容為電路端點配置檔，包含其座標與電容，接著第一階段是整體電壓島的配置，包含電壓設定及設定電壓島的範圍。第二階段是依序將各電壓島區塊使用 DME-XP 執行時脈繞線，直至所有電壓島都完成其繞線。最後一階段便是將各個電壓島區塊的時脈繞線連結起來，並依電壓配置情況插入 level shifter，即可完成整個繞線結果。

本演算法之時間複雜度，其時間變量受時脈端點(clock sinks)之總數量  $n$  影響，第一階段之分區只是單純的端點讀檔儲存程序，這個階段的相對時間正比於  $n$  個端點，即  $O(n)$ 。第二階段之時脈繞線才進入運算階段，主要核心運算與消耗時間是在 DME-XP 這個部分，根據[1]所示，在最壞情況下的時間複雜度為  $O(n \log n)$ ，而執行  $C$  次的 DME-XP，因為  $C$  小於 10，故不影響原時間複雜度。第三階段則是最後的整合各個子繞線與插入 LS 元件，此階段其實可視為僅針對數個電壓島末端的 DME-XP 繞線運算，其時間變量受電壓島數量影響，但此僅是數個少量端點之繞線運算，故其時間計量最多為  $O(n)$ 。因此，整個演算法的時間複雜度仍維持為  $O(n \log n)$ 。

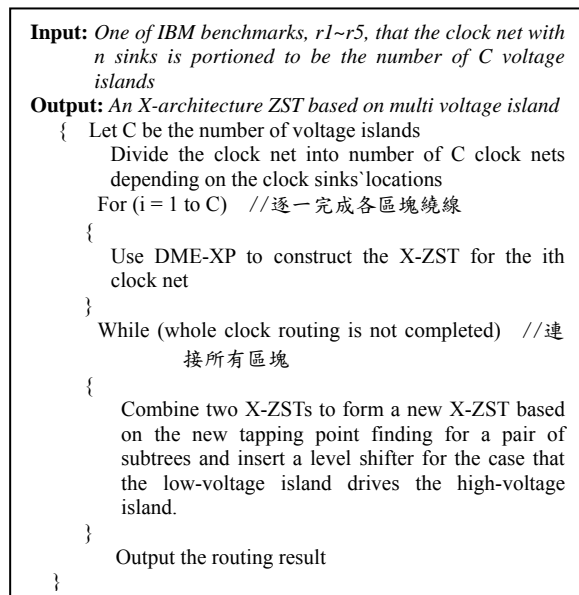


圖 13 多重電壓島 DME-XP 演算法

## 6. 實驗結果

本篇論文之實驗配備為 AMD 2.8GHz PC，記憶體 1G，使用 Borland C++ Builder 6.0 建構模擬程式，所使用的五個 case 來源為 IBM Benchmark 之  $r1\sim r5$  [10]，使用  $0.13\mu\text{m}$  製程參數[1]。此外，level shifter 可等效為 buffer，故相關數值使用  $0.13\mu\text{m}$  製程中的 buffer 參數[7]，整體之環境參數及條件設定如表 2 所列。

表 2 實驗相關之參數

$r$	$0.623\Omega/\mu\text{m}$	$B$	$1.03010\ln 2$	$r_{LS}$	$250\Omega$
$c_a$	$0.00598fF/\mu\text{m}$	$C$	$1.00511\ln 2$	$T_{LS}$	$54.4\text{ps}$
$c_f$	$0.043fF/\mu\text{m}$	$D$	$1.12673\ln 2$	$C_{LS}$	$23.5\text{fF}$
$Fclk$	100MHz	$E$	$1.10463\ln 2$		
$A$	$1.01258\ln 2$	$F$	$1.04836\ln 2$		

我們的實驗分別針對單電壓島(如圖 14)、雙電壓島(如圖 15)、三電壓島(如圖 16)等三種佈局環境的情況做模擬時脈繞線，並且同時比較在相同條件下設定單一電壓與不同電壓所造成的差異，實驗結果數據包含了延遲時間、總功率消耗、總繞線長度及穿孔數(vias)等。

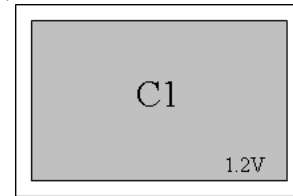


圖 14 單電壓島佈局環境示意圖

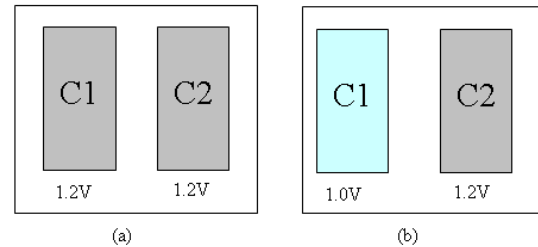


圖 15 雙電壓島佈局環境示意圖

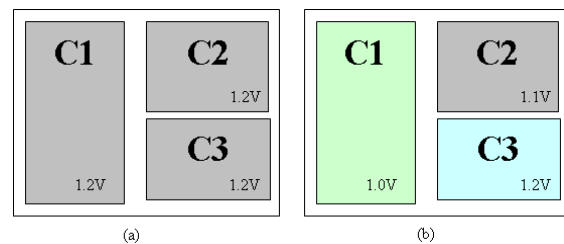


圖 16 三電壓島佈局環境示意圖

首先，表 3 中顯示延遲時間方面，從中之相對比例是以單電壓島為 100%做基準，各種多重電壓島分別與單電壓島做比較，由多重電壓島之  $r1$  結果值與單電壓島之  $r1$  結果值相除可得  $r1$  部分之相對比例值，依此類推依序算出  $r2\sim r5$  之相對比例值，將  $r1\sim r5$  之結果加總後除以五即得整體平均之相對比例。其他各表格之相對比例算法皆比照此方式。

在未置入多重電壓與 level shifter 的雙區繞線



中，延遲時間總平均多了原始單區之單電壓島繞線 11.5%，而若是置入多重電壓及 level shifter 後，更是額外高了 12.9%。三電壓島的情況大部分的延遲時間都相對較低，單一電壓且無 level shifter 的情況下，其延遲時間總平均少了原始單區繞線 9.5%，若是考量多重電壓且置入 level shifter 的情況更是低了 27.1%。

其次，表 4 所示即為各項 DME-XP 之繞線長度結果比較表。從表中可以發現，不論是雙電壓島或是三電壓島、也不論是單電壓設定或三重電壓之設定，其整體相對比例差不多都維持在高於原始單電壓島繞線 0.3% 的值。

功率消耗是本研究的核心，表 5 所示為所有 DME-XP 繞線之功率消耗比較表，從整體相對比例來看，單一電壓設定之雙區繞線與原始單區繞線做比較，大約低了 0.4%，三區繞線則是約高 1.9%。但在多重電壓之情況下，我們可以很明顯的看出功率消耗有著全面性的改善，雙電壓島與三電壓島分別較單電壓島減少約 14.2% 與 24.9% 之功率消耗，顯見電壓島的使用對於功率消耗有著正面的幫助。故可知依據我們的實驗結構與想法，以電壓島為基礎結合 DME-XP 繞線法的觀念，確實能夠較原始 DME-XP 的繞線有更進一步的功率消耗改善。

## 7. 結論與未來展望

經由上述實驗結果之比較與分析後，我們可以了解到將 DME-XP 繞線應用於雙電壓島與三電壓島佈局環境，分別比原始的單電壓島之 DME-XP 繞線節省了 14% 和 25% 的功率消耗。因此，我們在電壓島的基礎上加進了 DME-XP 時脈繞線的應用，對於功率消耗進一步的節省顯而易見，顯然這樣的實驗構想是可行的。

但在這種繞線方法結合電壓島的實驗結構下尚有許多可以考慮到的進步空間，例如，本篇論文對於電壓的設定是給予一到數個固定的電壓島區塊，未使用到動態電壓規劃的觀念，未來可以考慮使用到電壓島技術中提到的動態電壓島配置的概念，對於電路電壓配置做不規則的調整也許可以得到進一步的功率消耗節省效果，但必須注意在這種構想下必然會使用到適量的 level shifter 元件，除了提高複雜度之外，這些額外元件會造成什麼影響值得注意。

另外，本篇論文使用的繞線方法是 DME-XP，相信若選擇或是設計其他特性不同的繞線方法可以呈現出不同的變化；其次，在電壓島規劃上也可以有不同的變化，除了可以考慮更多區塊的配置外，也可以設計非矩形的不規則電壓島配置，當然考慮插入 buffer 也是可行的改善方向，相信這些更

多元而細部的變化都具有使實驗結果進一步改善的可能性。

## 參考文獻

- [1] Chia-Chun Tsai, Chung-Chieh Kuo, Jan-Ou Wu, Trong-Yen Lee, and Rong-Shue Hsiao, "A Topology-Based Construction for X-Architecture Clock Routing," *The 18th VLSI Design/CAD Symposium*, August 2007, pp. 166-169.
- [2] Wai-Kei Mak, and Jr-Wei Chen, "Voltage Island Generation under Performance Requirement for SoC Designs," *Design Automation Conference in Asia and South Pacific*, 23-26 Jan., 2007, pp. 798-803.
- [3] Ming-Ching Lu, Meng-Chen Wu, Hung-Ming Chen, and Hui-Ru Jiang, "Performance Constraints Aware Voltage Islands Generation in SoC Floorplan Design," *IEEE International SOC Conference*, 24-27 Sept., 2006, pp. 211-214.
- [4] Jingcao Hut, Youngsoo Shins, Nagu Dhanwadat, and Radu Marculescut, "Architecting Voltage Islands in Core-based System-on-a-Chip Designs," *Proceedings of The International Symposium on Low Power Electronics and Design*, 2004, pp. 180-185.
- [5] Wan-Ping Lee, Hung-Yi Liu, and Yao-Wen Chang, "An ILP Algorithm for Post-Floorplanning Voltage-Island Generation Considering Power-Network Planning," *IEEE/ACM International Conference on Computer-Aided Design*, 4-8 Nov., 2007, pp. 650-655.
- [6] Arif Ishaq AbouSeido, Brian Nowak, and Chris Chu, "Fitted Elmore Delay: A Simple and Accurate Interconnect Delay Model," *IEEE Transactions on Very Large Scale Integration Systems*, Vol. 12, Issue 7, July 2004, pp. 691-696.
- [7] Tai-Chen Chen, Song-Ra Pan, and Yao-Wen Chang, "Timing Modeling and Optimization under The Transmission Line Model," *IEEE Transactions on Very Large Scale Integration Systems*, Vol. 12, Issue 1, Jan. 2004, pp. 28-41.
- [8] Andrew Kahng, Jason Cong, and Gabriel Robins, "High-Performance Clock Routing Based on Recursive Geometric Matching," *The 28th ACM/IEEE Design Automation Conference*, 17-21 June, 1991, pp. 322-327.
- [9] W. C. Elmore, "The Transient Response of Damped Linear Network with Particular Regard to Wideband Amplifiers," *J. Applied Physics*, 1948, pp. 55-63.
- [10] R. S. Tsay, "Exact Zero Skew," *IEEE International Conference on Computer-Aided Design*, 1991, pp. 336-339.

表 3 多電壓島 DME-XP 繞線延遲時間之比較

benchmark	Delay (ps)				
	DME-XP (1.2V)	2V-DME-XP (1.2V)	2V-DME-XP (1.0v+1.2V)	3V-DME-XP (1.2V)	3V-DME-XP (1.0V+1.1V+1.2V)
r1	309829.6925	486635.3891	494374.43943	392062.4559	273618.6498
r2	1122692.1516	1227976.2215	1243736.4432	942497.5961	869296.7449
r3	1799442.9549	1594420.2270	1615490.8391	1317739.1529	1332732.2572
r4	4792344.2442	4773084.7405	4817220.9200	4041696.7180	3042190.3196
r5	8564433.4758	8840822.3293	8908966.0047	7259983.0037	5264249.3969
相對比例	100%	111.5%	112.9%	90.5%	72.9%

表 4 多電壓島 DME-XP 繞線長度之比較

benchmark	Wirelength (μm)				
	DME-XP (1.2V)	2V-DME-XP (1.2V)	2V-DME-XP (1.0V+1.2V)	3V-DME-XP (1.2V)	3V-DME-XP (1.0V+1.1V+1.2V)
r1	1419028.1007	1373878.8390	1373878.8390	1406856.9620	1407027.2732
r2	2911773.5471	2815443.7426	2815443.7426	2808698.5025	2808722.3861
r3	3658510.8161	3749254.9402	3749254.9402	3659159.5228	3659575.9567
r4	7230327.3794	7410579.8887	7410579.8887	7503910.9183	7504053.6470
r5	10837358.1902	11205841.4336	11205841.4336	11115029.0422	11115198.3364
相對比例	100%	100.3%	100.3%	100.3%	100.3%

表 5 多電壓島 DME-XP 繞線功率消耗之比較

benchmark	Power (W)				
	DME-XP (1.2V)	2V-DME-XP (1.2V)	2V-DME-XP (1.0V+1.2V)	3V-DME-XP (1.2V)	3V-DME-XP (1.0V+1.1V+1.2V)
r1	0.078951	0.074501	0.062179	0.079007	0.055854
r2	0.194193	0.182567	0.160584	0.187545	0.138511
r3	0.259581	0.268301	0.237622	0.268285	0.202097
r4	0.599519	0.621109	0.536803	0.631730	0.470024
r5	0.993228	1.020858	0.863778	1.038590	0.766720
相對比例	100%	99.6%	85.8%	101.9%	75.1%

## 附錄 II

全實驗之X時脈繞線完成圖

以下依序列出本論文實驗中使用了不同電壓設定的 DME-X 及 DME-XP 所有繞線組合的繞線結果圖，包含了 r1~r5 所有的實驗結果。分別是使用單電壓島的原始單電壓 DME-X(P)繞線、使用雙電壓島且僅使用單一電壓設定與使用雙電壓設定的 DME-X(P)繞線、使用三電壓島且僅使用單一電壓與使用三電壓設定的 DME-X(P)繞線，共十種組合：

如圖 1 所示為使用單電壓島 DME-X 繞線方法之 r1 繞線結果圖，其延遲時間為 467408.0535ps，功率消耗為 0.077655W。而圖 2 所示為使用單電壓島 DME-XP 繞線方法之 r1 繞線結果圖，其延遲時間為 309829.6925ps，功率消耗為 0.078951W。

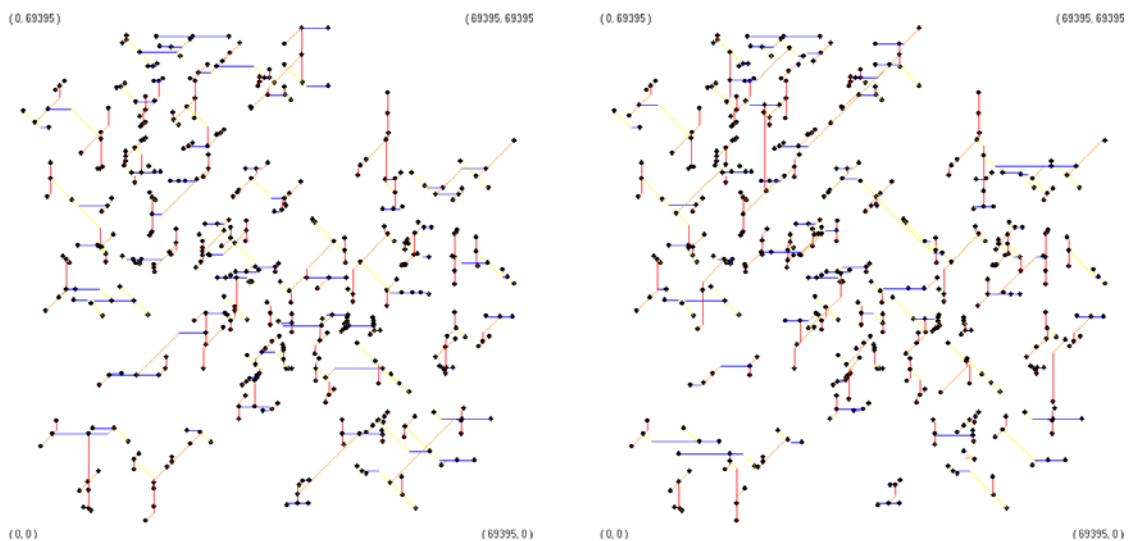


圖 1(上左) DME-X r1 繞線結果

圖 2(上右) DME-XP r1 繞線結果

如圖 3 所示為使用單電壓島 DME-X 繞線方法之 r2 繞線結果圖，其延遲時間為 972452.4831ps，功率消耗為 0.199508W。而圖 4 所示為使用單電壓島 DME-XP 繞線方法之 r2 繞線結果圖，其延遲時間為 1122692.1516ps，功率消耗為 0.194193W。

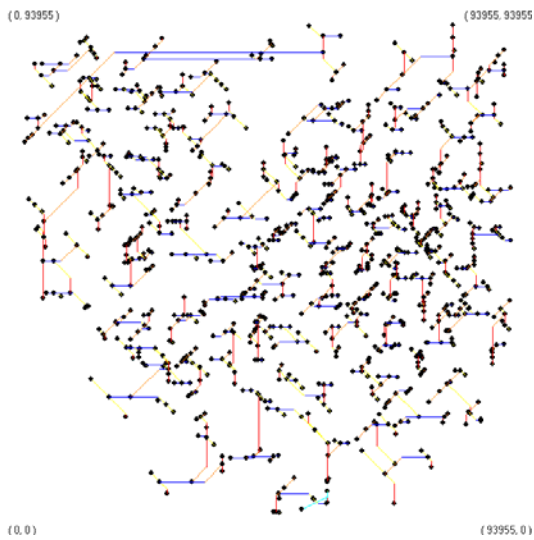


圖 3(上左) DME-X r2 繞線結果

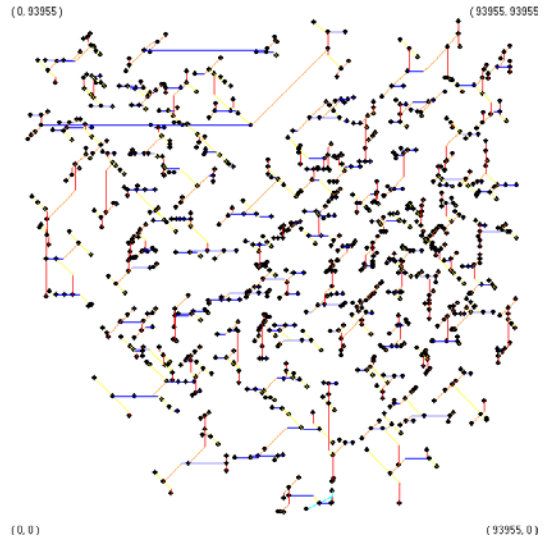


圖 4(上右) DME-XP r2 繞線結果

如圖 5 所示為使用單電壓島 DME-X 繞線方法之 r3 繞線結果圖，其延遲時間為  $1684443.0943ps$ ，功率消耗為  $0.265957W$ 。而圖 6 所示為使用單電壓島 DME-XP 繞線方法之 r3 繞線結果圖，其延遲時間為  $1799442.9549ps$ ，功率消耗為  $0.259581W$ 。

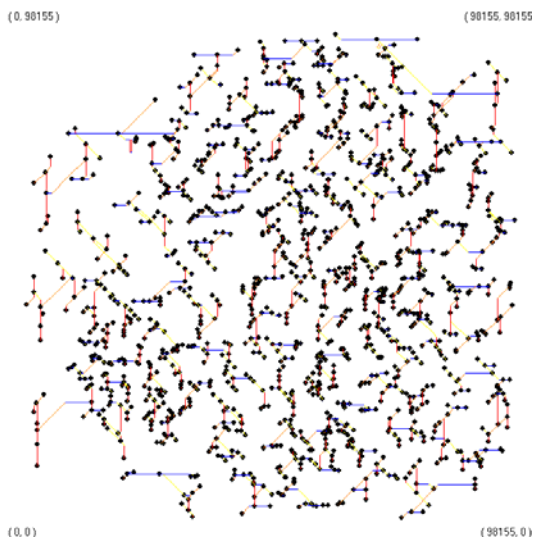


圖 5(上左) DME-X r3 繞線結果

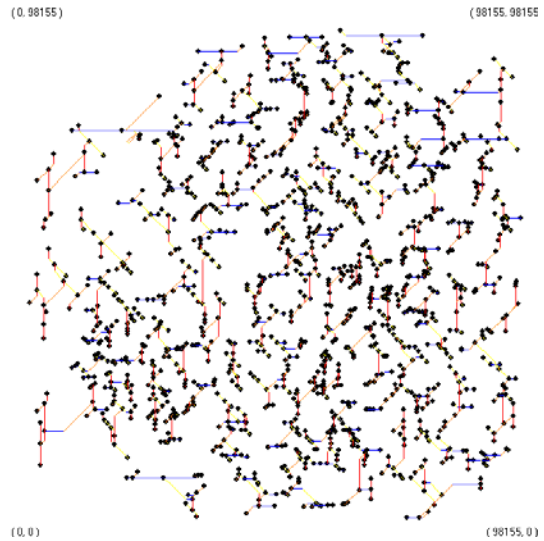


圖 6(上右) DME-XP r3 繞線結果

如圖 7 所示為使用單電壓島 DME-X 繞線方法之 r4 繞線結果圖，其延遲時間為  $4653341.9445ps$ ，功率消耗為  $0.619044W$ 。而圖 8 所示為使用單電壓島 DME-XP 繞線方法之 r4 繞線結果圖，其延遲時間為  $4792344.2442ps$ ，功率消耗為  $0.599519W$ 。

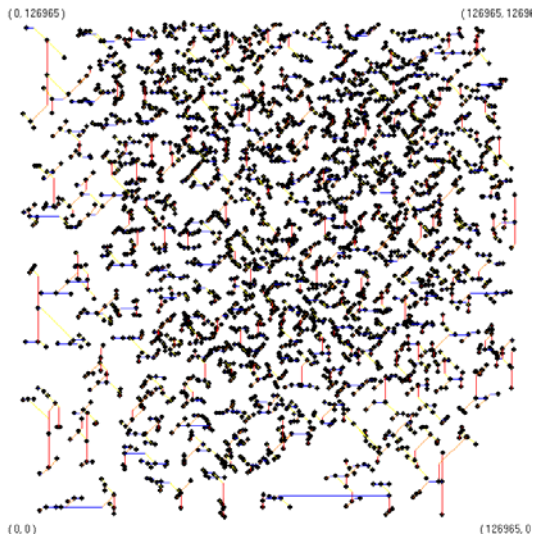


圖 7(上左) DME-X r4 繞線結果

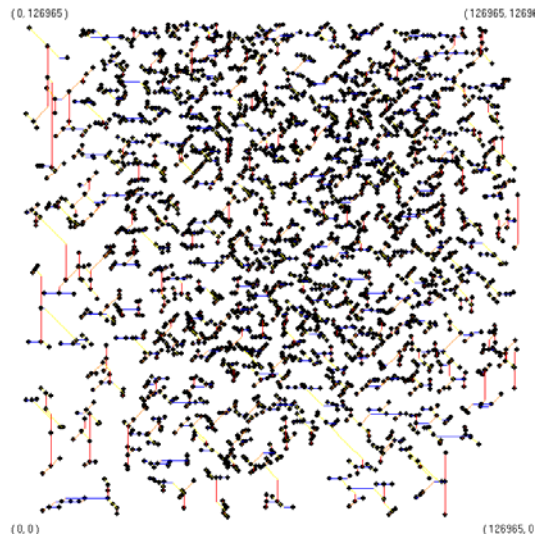


圖 8(上右) DME-XP r4 繞線結果

如圖 9 所示為使用單電壓島 DME-X 繞線方法之 r5 繞線結果圖，其延遲時間為  $5954887.4156ps$ ，功率消耗為  $1.023837W$ 。而圖 10 所示為使用單電壓島 DME-XP 繞線方法之 r5 繞線結果圖，其延遲時間為  $8564433.4758ps$ ，功率消耗為  $0.993228W$ 。

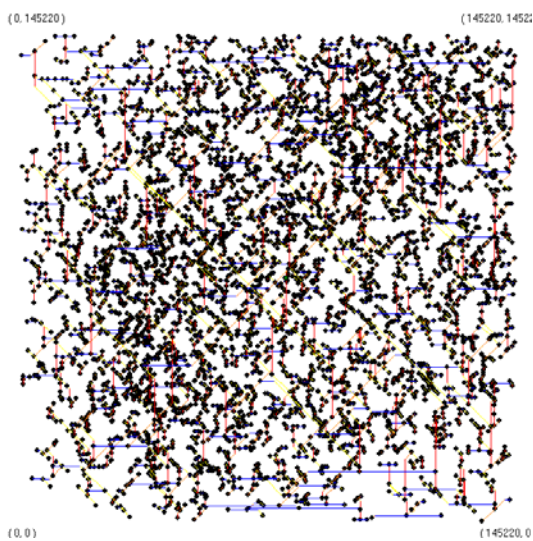


圖 9(上左) DME-X r5 繞線結果

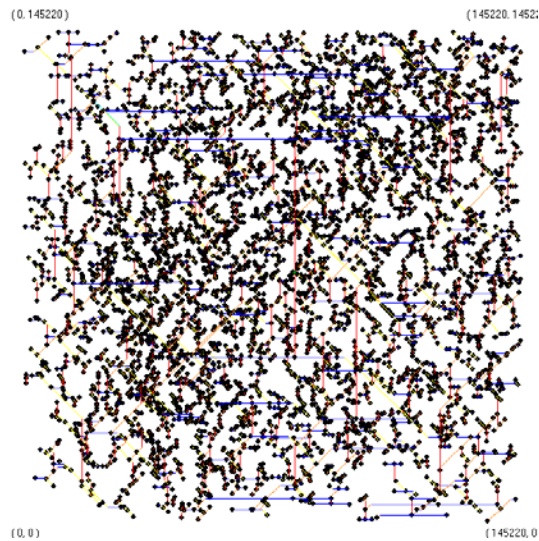


圖 10(上右) DME-XP r5 繞線結果

如圖 11 所示為使用雙電壓島但只使用單一電壓設定的 DME-X 繞線之 r1 繞線結果圖，其延遲時間為  $489014.1386ps$ ，功率消耗為  $0.078581W$ 。而圖 12 所示為使用雙電壓島但只使用單一電壓設定的 DME-XP 繞線之 r1 繞線結果圖，其延遲時間為

486635.3891ps，功率消耗為 0.074501W。

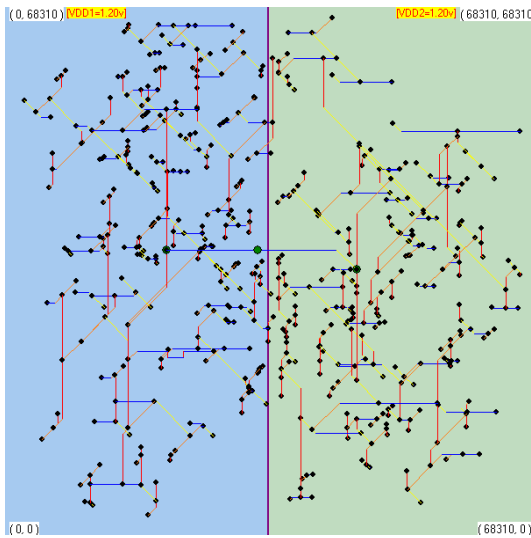


圖 11(上左) 雙電壓島單電壓 DME-X r1 繞線結果

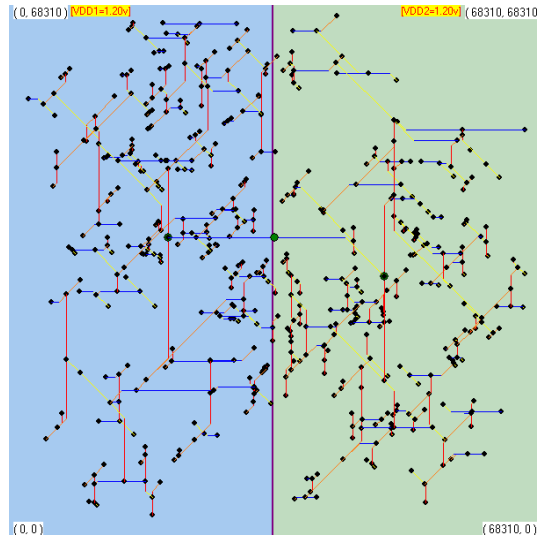


圖 12(上右) 雙電壓島單電壓 DME-XP r1 繞線結果

如圖 13 所示為使用雙電壓島但只使用單一電壓設定的 DME-X 繞線之 r2 繞線結果圖，其延遲時間為 1375928.6377ps，功率消耗為 0.187755W。而圖 14 所示為使用雙電壓島但只使用單一電壓設定的 DME-XP 繞線之 r2 繞線結果圖，其延遲時間為 1227976.2215ps，功率消耗為 0.182567W。

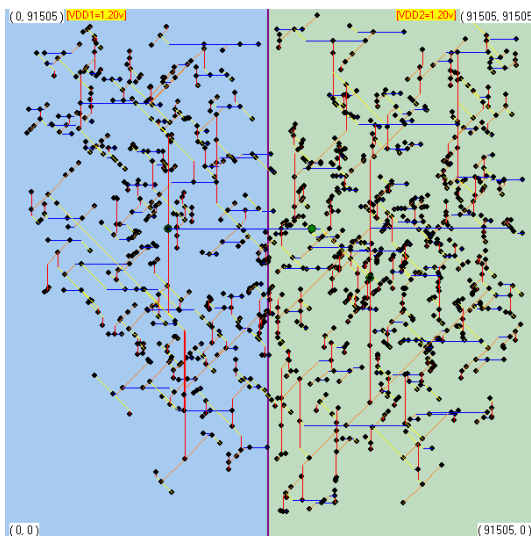


圖 13(上左) 雙電壓島單電壓 DME-X r2 繞線結果

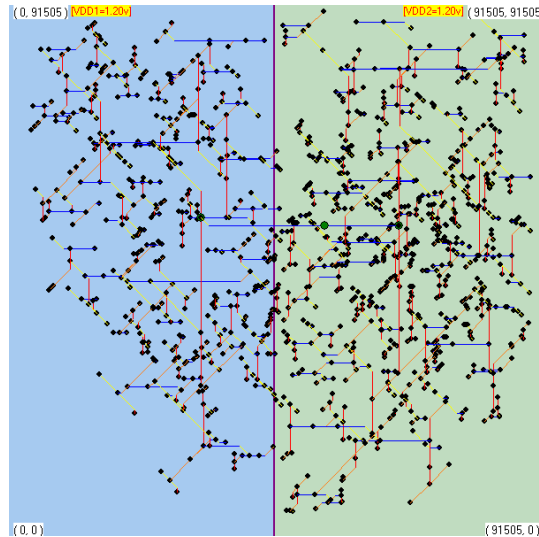


圖 14(上右) 雙電壓島單電壓 DME-XP r2 繞線結果

如圖 15 所示為使用雙電壓島但只使用單一電壓設定的 DME-X 繞線之 r3 繞線結果

圖，其延遲時間為  $1832959.3035ps$ ，功率消耗為  $0.274151W$ 。而圖 16 所示為使用雙電壓島但只使用單一電壓設定的 DME-XP 繞線之 r3 繞線結果圖，其延遲時間為  $1594420.2270ps$ ，功率消耗為  $0.268301W$ 。

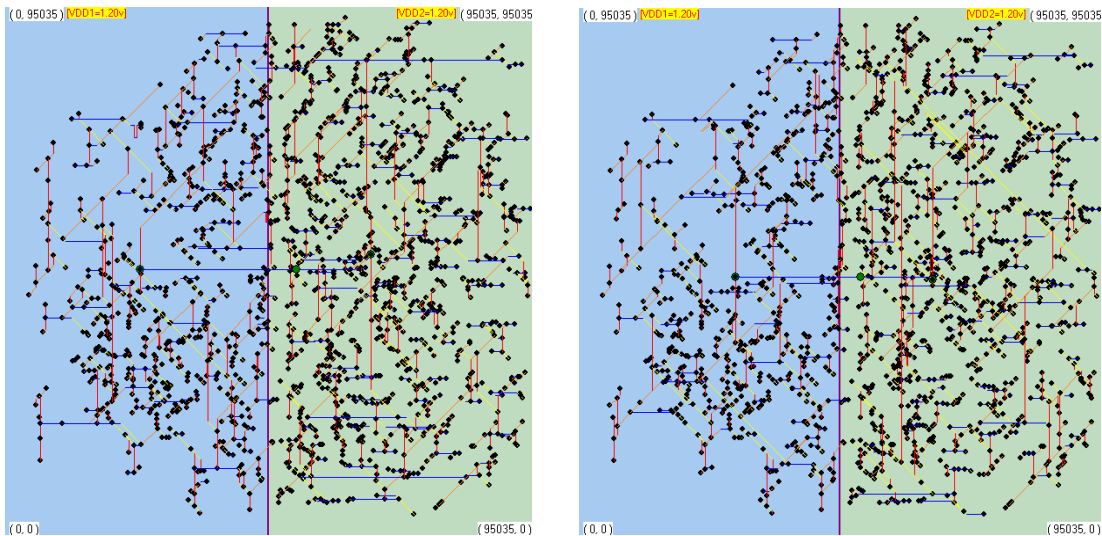


圖 15(上左) 雙電壓島單電壓 DME-X r3 繞線結果

圖 16(上右) 雙電壓島單電壓 DME-XP r3 繞線結果

如圖 17 所示為使用雙電壓島但只使用單一電壓設定的 DME-X 繞線之 r4 繞線結果圖，其延遲時間為  $4976550.2665ps$ ，功率消耗為  $0.644625W$ 。而圖 18 所示為使用雙電壓島但只使用單一電壓設定的 DME-XP 繞線之 r4 繞線結果圖，其延遲時間為  $4773084.7405ps$ ，功率消耗為  $0.621109W$ 。

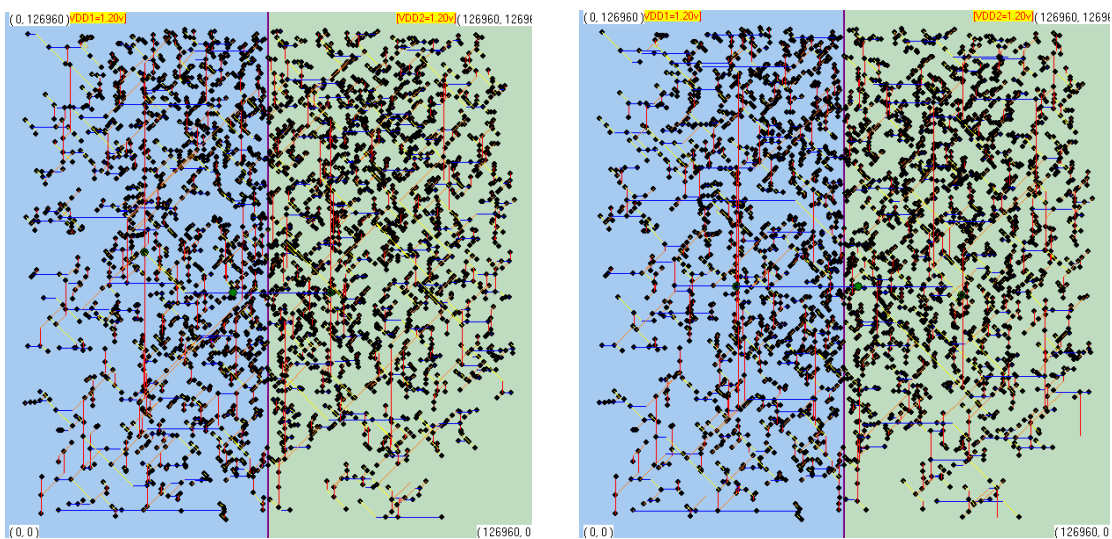


圖 17(上左) 雙電壓島單電壓 DME-X r4 繞線結果

圖 18(上右) 雙電壓島單電壓 DME-XP r4 繞線結果



如圖 19 所示為使用雙電壓島但只使用單一電壓設定的 DME-X 繞線之 r5 繞線結果圖，其延遲時間為  $8696753.6059ps$ ，功率消耗為  $1.036605W$ 。而圖 20 所示為使用雙電壓島但只使用單一電壓設定的 DME-XP 繞線之 r5 繞線結果圖，其延遲時間為  $8840822.3293ps$ ，功率消耗為  $1.020858W$ 。

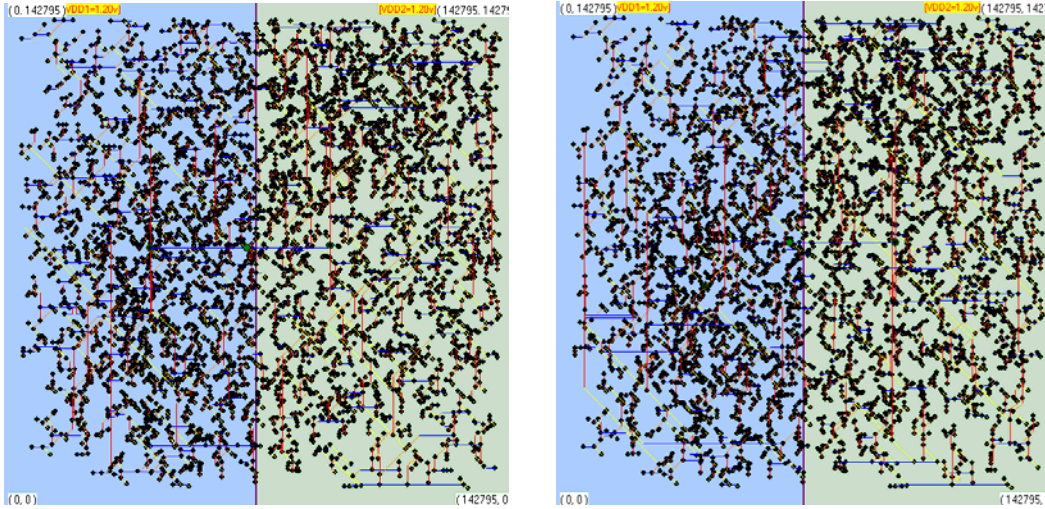


圖 19(上左) 雙電壓島單電壓 DME-X r5 繞線結果

圖 20(上右) 雙電壓島單電壓 DME-XP r5 繞線結果

如圖 21 所示為使用雙電壓島且使用雙電壓設定的 DME-X 繞線之 r1 繞線結果圖，其延遲時間為  $497287.4253ps$ ，功率消耗為  $0.065804W$ 。而圖 22 所示為使用雙電壓島且使用雙電壓設定的 DME-XP 繞線之 r1 繞線結果圖，其延遲時間為  $494374.4394ps$ ，功率消耗為  $0.062179W$ 。

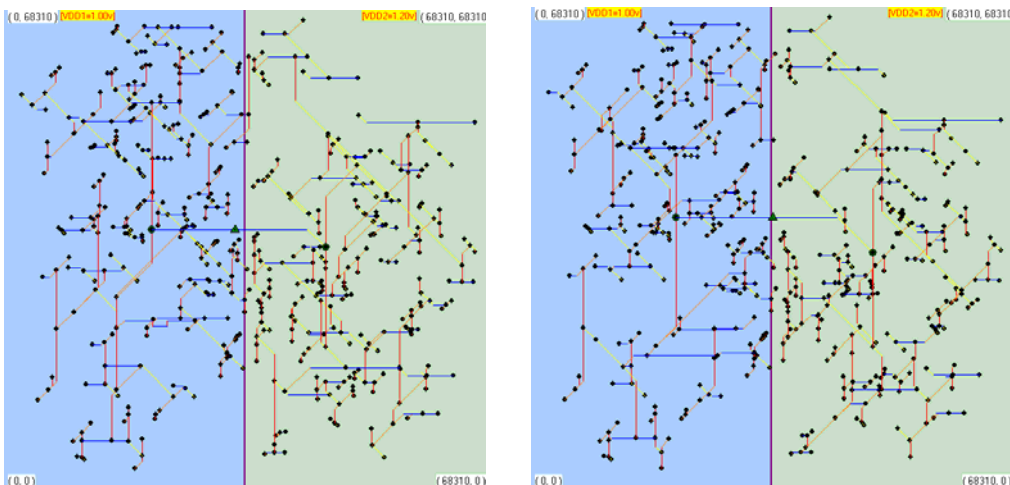


圖 21(上左) 雙電壓島雙電壓 DME-X r1 繞線結果

圖 22(上右) 雙電壓島雙電壓 DME-XP r1 繞線結果

如圖 23 所示為使用雙電壓島且使用雙電壓設定的 DME-X 繞線之 r2 繞線結果圖，其延遲時間為  $1392312.6666ps$ ，功率消耗為  $0.164655W$ 。而圖 24 所示為使用雙電壓島且使用雙電壓設定的 DME-XP 繞線之 r2 繞線結果圖，其延遲時間為  $1243736.4432ps$ ，功率消耗為  $0.160584W$ 。

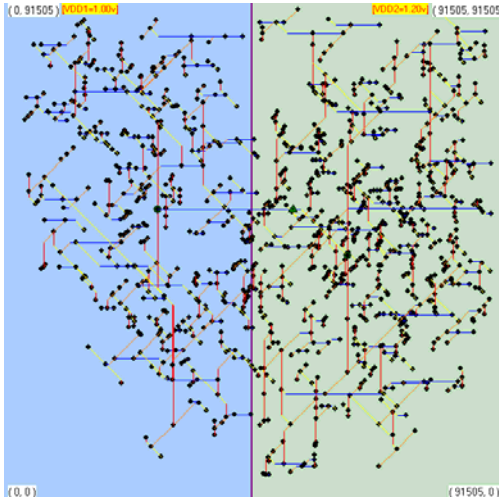


圖 23(上左) 雙電壓島雙電壓 DME-X r2 繞線結果

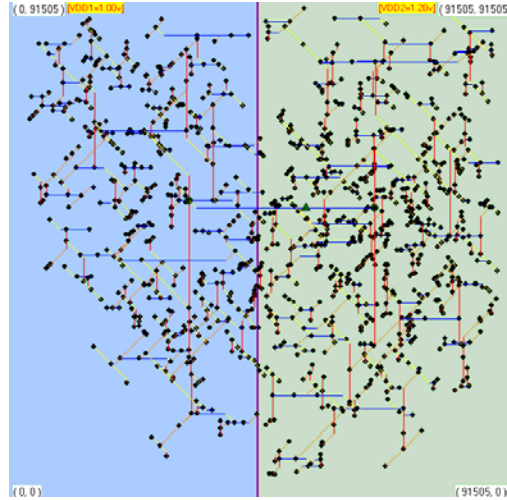


圖 24(上右) 雙電壓島雙電壓 DME-XP r2 繞線結果

如圖 25 所示為使用雙電壓島且使用雙電壓設定的 DME-X 繞線之 r3 繞線結果圖，其延遲時間為  $1854663.9460ps$ ，功率消耗為  $0.241805W$ 。而圖 26 所示為使用雙電壓島且使用雙電壓設定的 DME-XP 繞線之 r3 繞線結果圖，其延遲時間為  $1615490.8391ps$ ，功率消耗為  $0.237622W$ 。

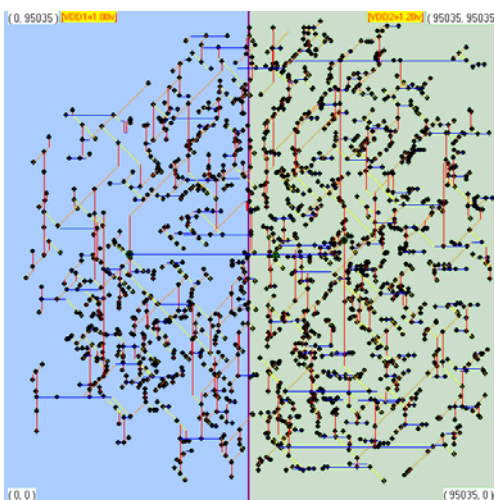


圖 25(上左) 雙電壓島雙電壓 DME-X r3 繞線結果

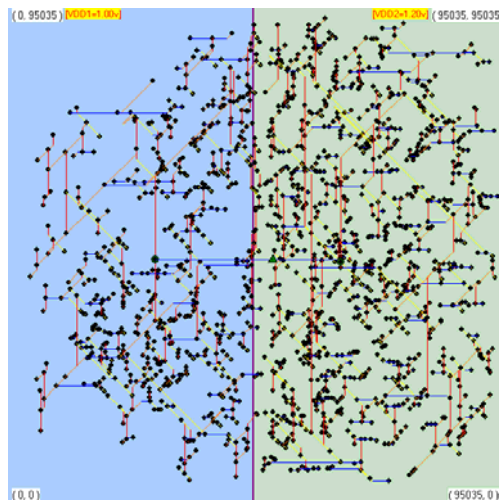


圖 26(上右) 雙電壓島雙電壓 DME-XP r3 繞線結果

如圖 27 所示為使用雙電壓島且使用雙電壓設定的 DME-X 繞線之 r4 繞線結果圖，其延遲時間為 5022428.4947ps，功率消耗為 0.556912W。而圖 28 所示為使用雙電壓島且使用雙電壓設定的 DME-XP 繞線之 r4 繞線結果圖，其延遲時間為 4817220.9200ps，功率消耗為 0.536803W。

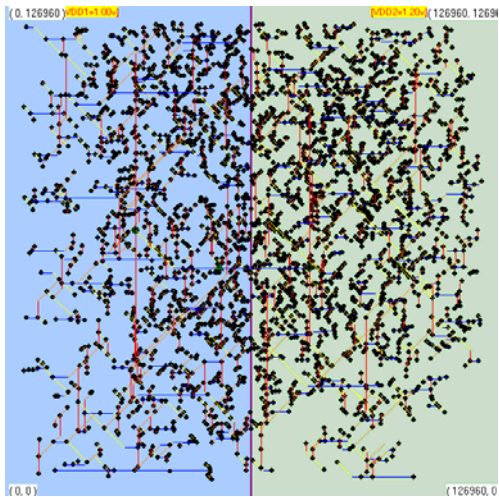


圖 27(上左) 雙電壓島雙電壓 DME-X r4 繞線結果

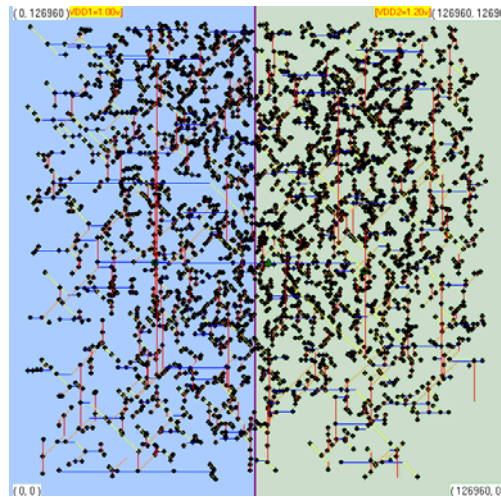


圖 28(上右) 雙電壓島雙電壓 DME-XP r4 繞線結果

如圖 29 所示為使用雙電壓島且使用雙電壓設定的 DME-X 繞線之 r5 繞線結果圖，其延遲時間為 8766221.5632ps，功率消耗為 0.878678W。而圖 30 所示為使用雙電壓島且使用雙電壓設定的 DME-XP 繞線之 r5 繞線結果圖，其延遲時間為 8908966.0047ps，功率消耗為 0.863778W。

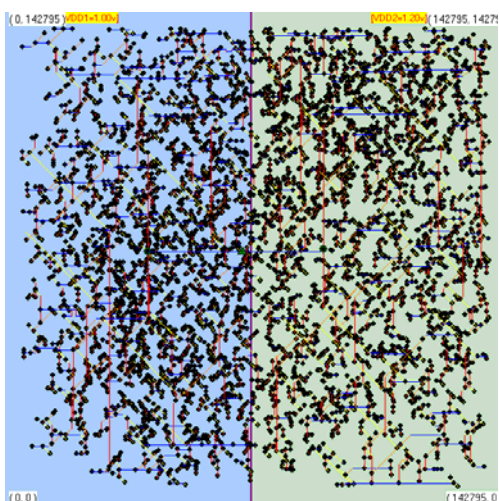


圖 29(上左) 雙電壓島雙電壓 DME-X r5 繞線結果

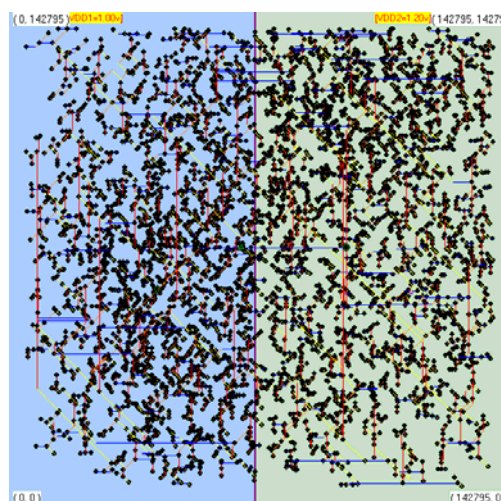


圖 30(上右) 雙電壓島雙電壓 DME-XP r5 繞線結果

如圖 31 所示為使用三電壓島但只使用單一電壓設定的 DME-X 繞線之 r1 繞線結果圖，其延遲時間為 384565.7765ps，功率消耗為 0.083120W。而圖 32 所示為使用三電壓島但只使用單一電壓設定的 DME-XP 繞線之 r1 繞線結果圖，其延遲時間為 392062.4559ps，功率消耗為 0.079007W。

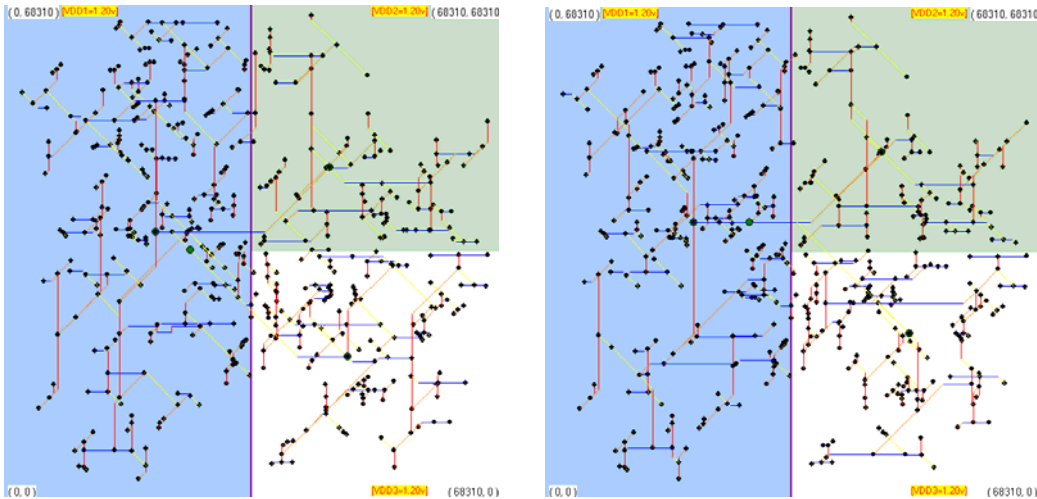


圖 31(上左) 三電壓島單電壓 DME-X r1 繞線結果

圖 32(上右) 三電壓島單電壓 DME-XP r1 繞線結果

如圖 33 所示為使用三電壓島但只使用單一電壓設定的 DME-X 繞線之 r2 繞線結果圖，其延遲時間為 917976.8964ps，功率消耗為 0.195453W。而圖 34 所示為使用三電壓島但只使用單一電壓設定的 DME-XP 繞線之 r2 繞線結果圖，其延遲時間為 942497.5961ps，功率消耗為 0.187545W。

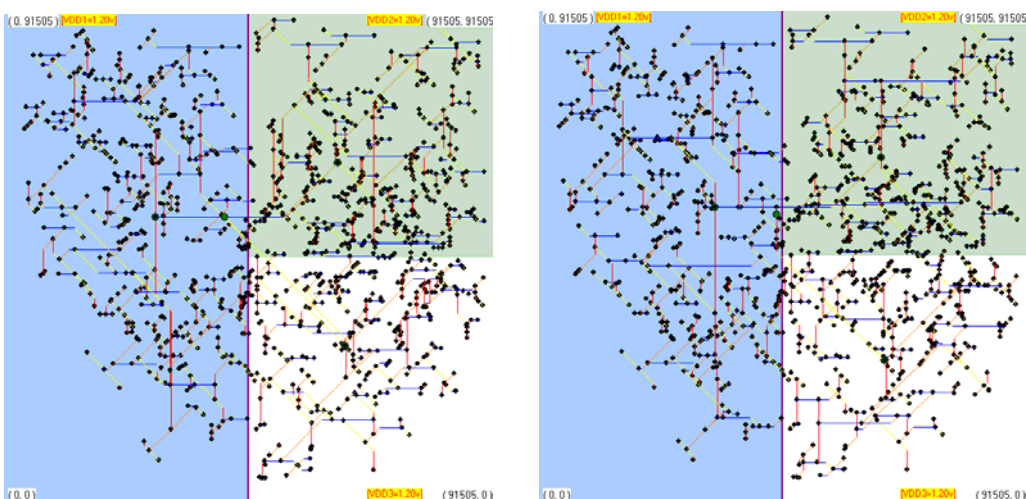


圖 33(上左) 三電壓島單電壓 DME-X r2 繞線結果

圖 34(上右) 三電壓島單電壓 DME-XP r2 繞線結果

如圖 35 所示為使用三電壓島但只使用單一電壓設定的 DME-X 繞線之 r3 繞線結果圖，其延遲時間為 1615202.8912ps，功率消耗為 0.278143W。而圖 36 所示為使用三電壓島但只使用單一電壓設定的 DME-XP 繞線之 r3 繞線結果圖，其延遲時間為 1317739.1529ps，功率消耗為 0.268285W。

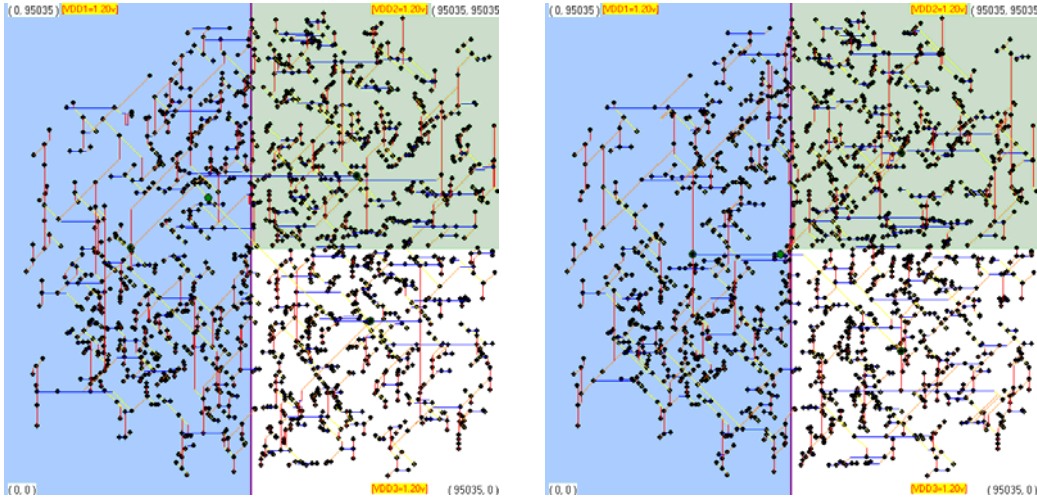


圖 35(上左) 三電壓島單電壓 DME-X r3 繞線結果

圖 36(上右) 三電壓島單電壓 DME-XP r3 繞線結果

如圖 37 所示為使用三電壓島但只使用單一電壓設定的 DME-X 繞線之 r4 繞線結果圖，其延遲時間為 4086336.4378ps，功率消耗為 0.660220W。而圖 38 所示為使用三電壓島但只使用單一電壓設定的 DME-XP 繞線之 r4 繞線結果圖，其延遲時間為 4041696.7180ps，功率消耗為 0.631730W。

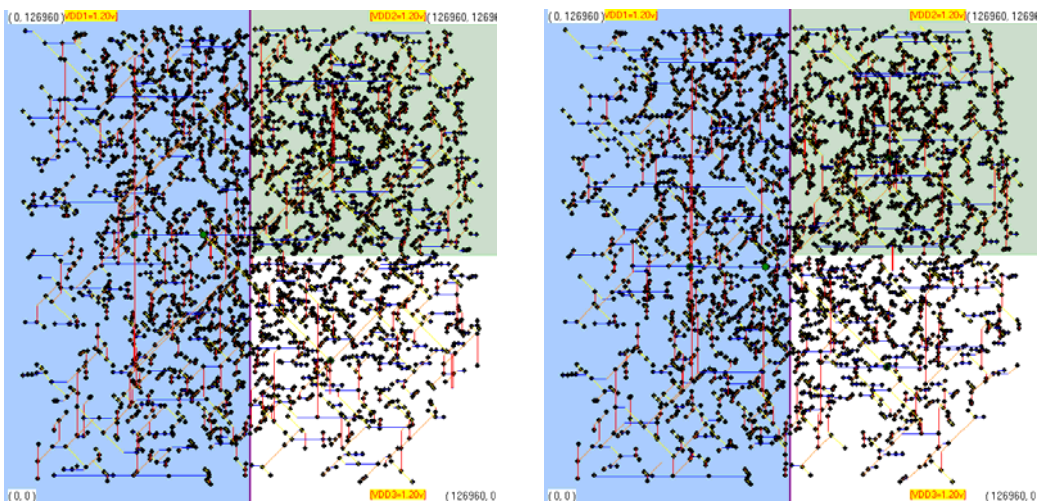


圖 37(上左) 三電壓島單電壓 DME-X r4 繞線結果

圖 38(上右) 三電壓島單電壓 DME-XP r4 繞線結果

如圖 39 所示為使用三電壓島但只使用單一電壓設定的 DME-X 繞線之 r5 繞線結果圖，其延遲時間為  $8220294.2397ps$ ，功率消耗為  $1.057198W$ 。而圖 40 所示為使用三電壓島但只使用單一電壓設定的 DME-XP 繞線之 r5 繞線結果圖，其延遲時間為  $7259983.0037ps$ ，功率消耗為  $1.03859W$ 。

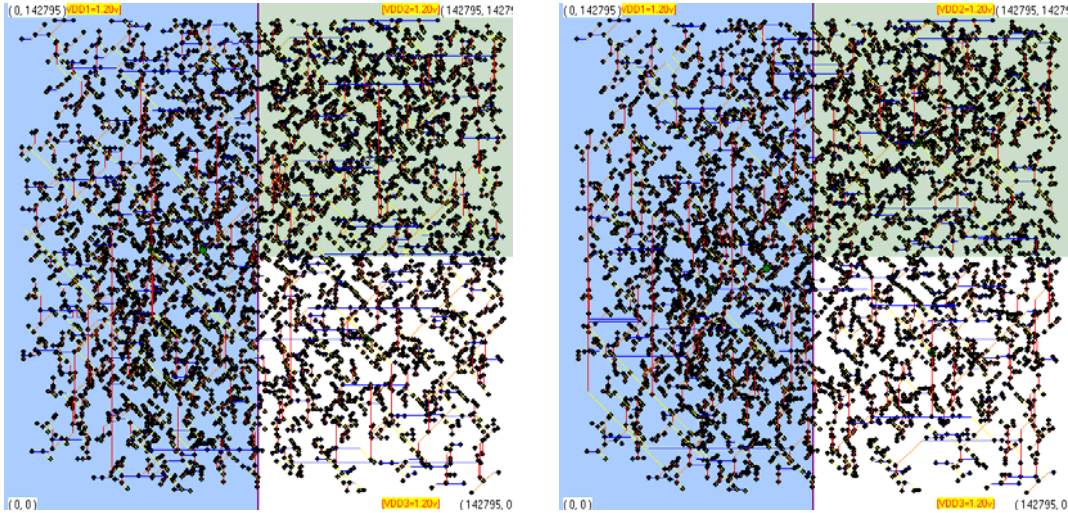


圖 39(上左) 三電壓島單電壓 DME-X r5 繞線結果

圖 40(上右) 三電壓島單電壓 DME-XP r5 繞線結果

如圖 41 所示為使用三電壓島且使用三電壓設定的 DME-X 繞線之 r1 繞線結果圖，其延遲時間為  $278270.6501ps$ ，功率消耗為  $0.058990W$ 。而圖 42 所示為使用三電壓島且使用三電壓設定的 DME-XP 繞線之 r1 繞線結果圖，其延遲時間為  $273618.6498ps$ ，功率消耗為  $0.055854W$ 。

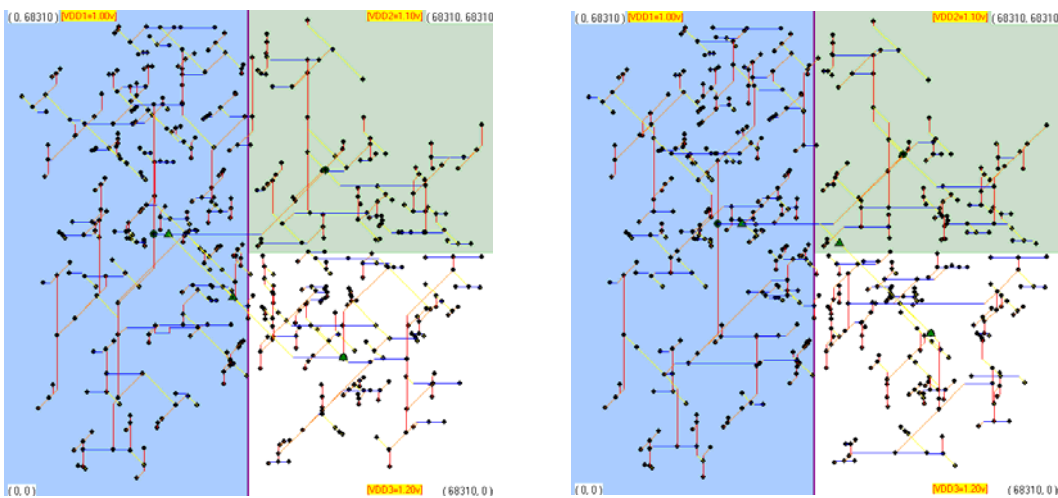


圖 41(上左) 三電壓島三電壓 DME-X r1 繞線結果

圖 42(上右) 三電壓島三電壓 DME-XP r1 繞線結果

如圖 43 所示為使用三電壓島且使用三電壓設定的 DME-X 繞線之 r2 繞線結果圖，其延遲時間為 930193.1770ps，功率消耗為 0.143994W。而圖 44 所示為使用三電壓島且使用三電壓設定的 DME-XP 繞線之 r2 繞線結果圖，其延遲時間為 869296.7449ps，功率消耗為 0.138511W。

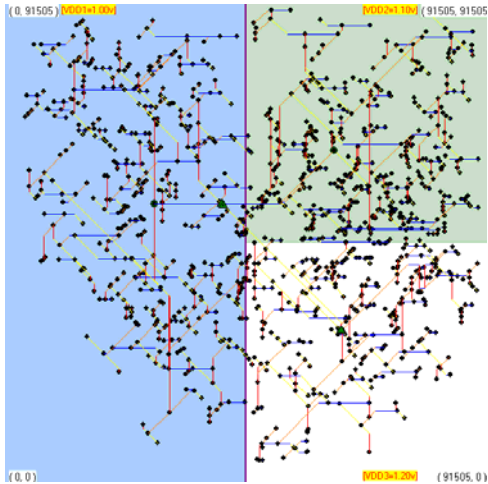


圖 43(上左) 三電壓島三電壓 DME-X r2 繞線結果

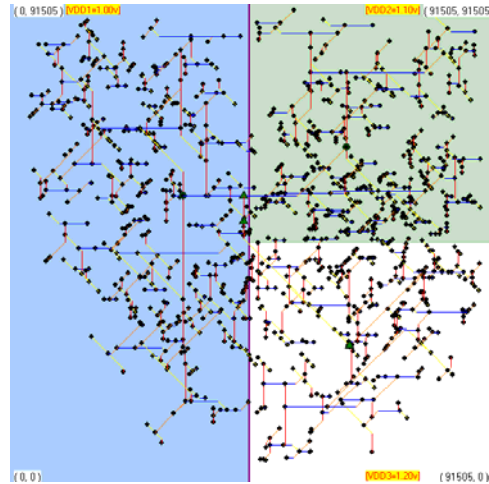


圖 44(上右) 三電壓島三電壓 DME-XP r2 繞線結果

如圖 45 所示為使用三電壓島且使用三電壓設定的 DME-X 繞線之 r3 繞線結果圖，其延遲時間為 1324301.6221ps，功率消耗為 0.209522W。而圖 46 所示為使用三電壓島且使用三電壓設定的 DME-XP 繞線之 r3 繞線結果圖，其延遲時間為 1332732.2572ps，功率消耗為 0.202097W。

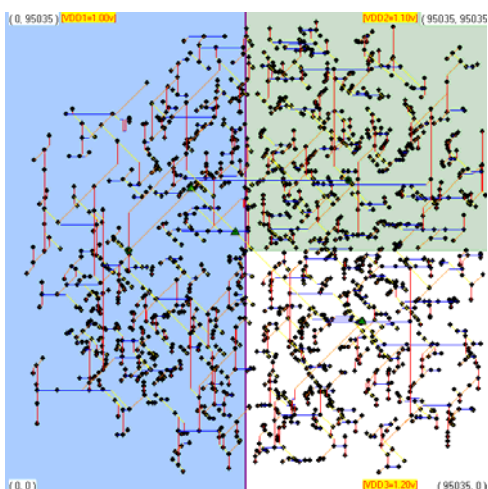


圖 45(上左) 三電壓島三電壓 DME-X r3 繞線結果

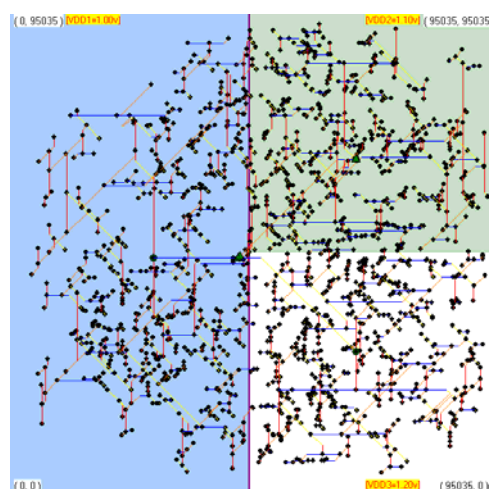


圖 46(上右) 三電壓島三電壓 DME-XP r3 繞線結果

如圖 47 所示為使用三電壓島且使用三電壓設定的 DME-X 繞線之 r4 繞線結果圖，其延遲時間為 4121200.7247ps，功率消耗為 0.488450W。而圖 48 所示為使用三電壓島且使用三電壓設定的 DME-XP 繞線之 r4 繞線結果圖，其延遲時間為 3042190.3196ps，功率消耗為 0.470024W。

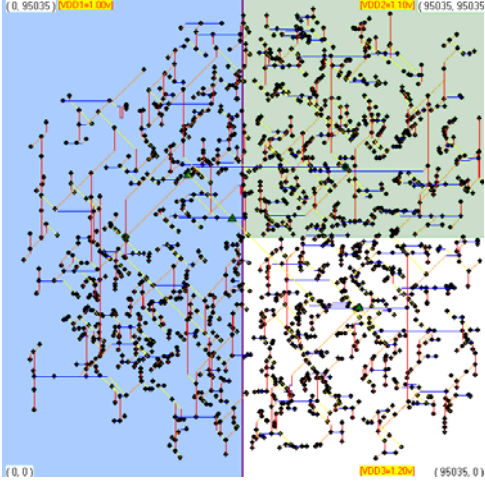


圖 47(上左) 三電壓島三電壓 DME-X r4 繞線結果

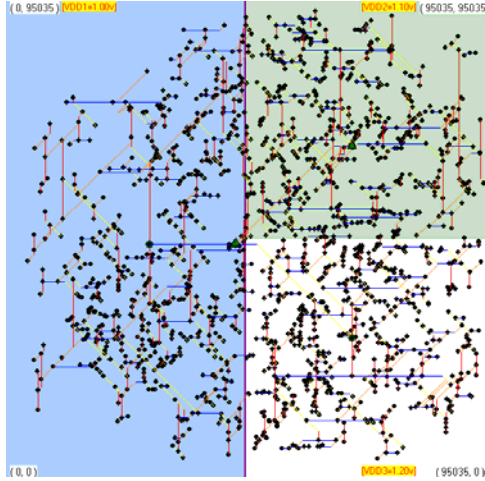


圖 48(上右) 三電壓島三電壓 DME-XP r4 繞線結果

如圖 49 所示為使用三電壓島且使用三電壓設定的 DME-X 繞線之 r5 繞線結果圖，其延遲時間為 5649290.7ps，功率消耗為 0.778362W。而圖 50 所示為使用三電壓島且使用三電壓設定的 DME-XP 繞線之 r5 繞線結果圖，其延遲時間為 5264249.3969ps，功率消耗為 0.76672W。

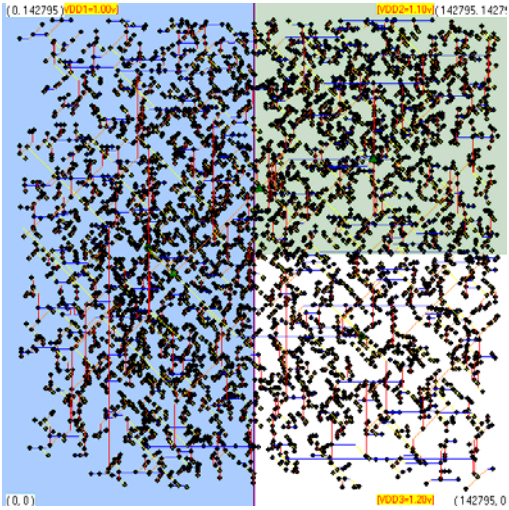


圖 5-14(上左) 三電壓島三電壓 DME-X r5 繞線結果

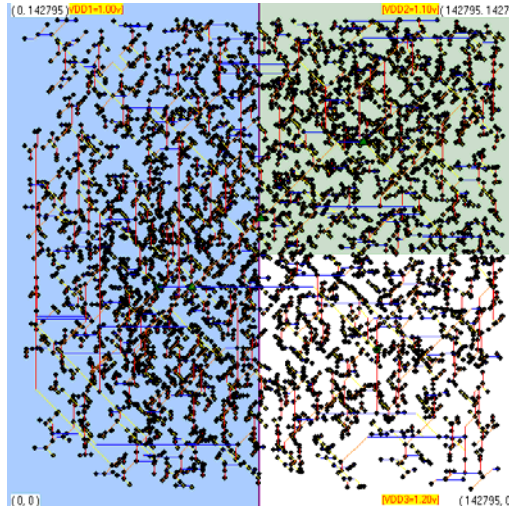


圖 5-15(上右) 三電壓島三電壓 DME-XP r5 繞線結果