

動態可重組態現場可程式系統晶片電路分割 之研究

Generic ILP-Basic Approaches for Time-Multiplexed FPGA Partitioning

計畫編號：NSC90-2215-E-343-001

執行期間：90年8月1日 至 91年7月31日

主持人：吳光閔副教授 南華大學資訊管理學系

計畫參與人員：林良哲、黃家政、周宏馨、厲彥廷 南華大學資訊
管理學系

一、英文摘要

With ever increasing circuit complexity, the logic integrated into a single FPGA chip is growing dramatically. Consequently, like ASIC designs, FPGA designs are becoming systems-on-a-chip, integrating together the entire system's functionality.

Dynamically Reconfigurable FPGAs (DRFPGAs) for reconfigurable computing, a promising alternative for improving logic efficiency by dynamically re-using hardware, has become an important research topic in field-programmable systems-on-chips. Due to the precedence and capacity constraints, the partitioning problem for DRFPGAs is different from the traditional one.

Further, there are various objectives and constraints in the DRFPGAs partitioning; for example, the memory plane constrained partitioning, the buffer-minimization partitioning, the configurable logic block constrained and the stage-minimization partitioning, and the feasibility checking problem. Existing work does not consider part of the aforementioned problems or consider only one type of the problems at a time.

In this project, we intend to develop a generic framework that can handle all variations of the partitioning problem on various DRFPGA architectures.

Keywords : FPGA, DRFPGA, partitioning, reconfigurable computing.

二、中文摘要

隨著電路及晶片複雜度的與日俱增，FPGA 的設計亦如 ASIC 設計般趨向系統整合晶片發展。

動態可重組態現場可程式開陣列 (DRFPGAs) 可藉由動態重新使用 FPGA 硬體來增進邏輯效能，因此，其為當今現場可程式系統整合晶片之重要研究主題。由於電路元件間存有先後執行順序且具有容量限制，因此，動態可重組態現場可程式開陣列之電路分割 (partitioning) 問題與傳統 ASIC 分割問題截然不同。

而且，動態可重組態現場可程式開陣列的分割問題包含各種不同的目標與限制：其可分類為記憶平面 (memory plane) 限制的分割問題、緩衝器 (buffer) 最小化分割問題、可重組態邏輯模組 (CLB) 限制與執行階段最小化分割問題及可行性檢查問題。目前的研究並沒有考慮到上列的所有問題，且已知的方法無法同時處理各種不同目標與限制的動態可重組態現場可程式開陣列分割問題。

本計畫將嘗試發展一個通用性的方

法來處理不同動態可重組態現場可程式陣列結構上的各種分割問題。

關鍵詞：現場可程式陣列、動態可重組態現場可程式陣列、分割問題、重新組態計算。

三、背景和目的

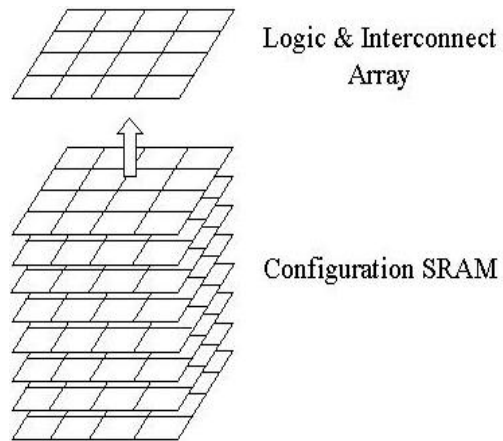
(一) 背景

動態可重組態現場可程式陣列 (DRFPGA) 藉由動態重新使用 FPGA 硬體而增進了邏輯效能。在當下，用來處理可重組態計算的 DRFPGA 引發了日趨強烈的重視。藉著運用 DRFPGA，一個規模龐大的設計可被分割為多個階段，在不同的時間中，分享相同的小型實體設備。有幾個不同的架構被提出：例如 Xilinx architecture[18]、Virtual Element Gate Array[12]、Dynamically Programmable Gate Array[3, 8]、Dharma[1] 等等。藉著修改在晶片上的靜態記憶體(SRAM)的 bit 數，這些模組均允許邏輯模組與線段的動態重新使用。

圖一展示了 Xilinx DRFPGA 配置模組[18]，這個動態可重組態現場可程式陣列，藉由將一個大規模的設計，分割成多個組態，進而進行模擬。線路設計結構可以被分割為多個階段，並儲存在結構記憶平面中。在任何時間下，DRFPGA 可以維持只有一個在運作中的組態，將他載入到 FPAG 的邏輯陣列中，加以模擬，模擬完成後將其結果儲存在靜態記憶體中，再提供給下一個線路組態使用，如此，一個接一個的將所有的線路組態執行完成。在此過程中每個線路組態被執行的過程稱作微週期，而通過所有組態微週期的過程稱之為使用者週期。

在本計畫中使用的目標結構為包含了一個遞增的 XC4000-style CLB[18, 19]陣列。每個 CLB 包含了幾個微記憶體 (micro-registers) 來用於儲存上一個微週期結果，以提供較後微週期使用的儲存組合邏輯中介值，這些 CLB

也維持了用於下一個使用者週期的突變值。微週期在起始之時，先將所有之前在 MR 中微週期的 CLB 結果儲存起來，然後讀取一個新的組態到運作組態記憶中。

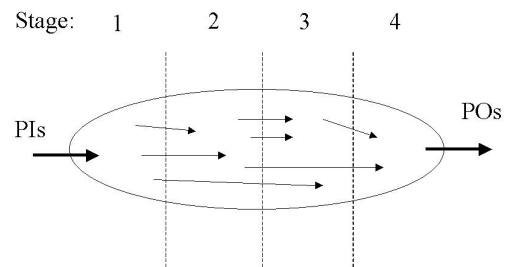


圖一：Xilinx動態可重組態現場可程式陣列組態模式

DRFPGA分割問題的目的是：內部連接(所需的微記憶體數目)最小化、微週期間的緩衝器最小化、微週期中所需的CLB數目最小化。

(二) 目的

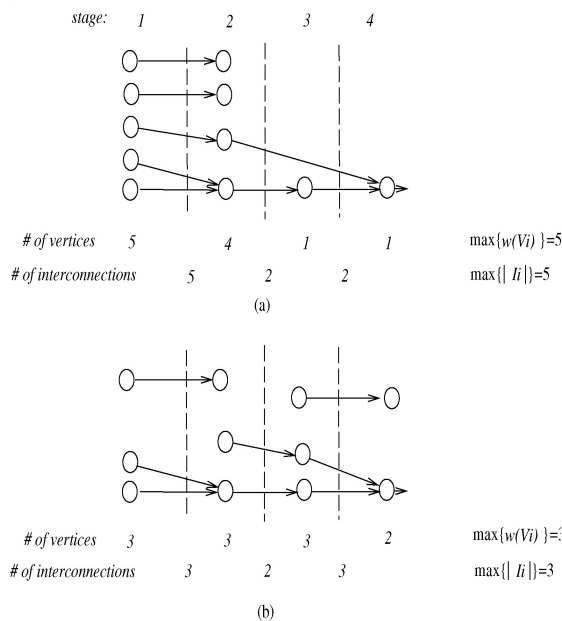
與傳統的 FPGA 不同，在 DRFPGA 中的節點，其執行順序必須遵循它們的法則限制，換句話說，如圖二所示，在 DRFPGA 的設計中，其節點的執行順序必須被滿足，才可得到正確的結果。



圖二： Four stages in the precedence-constrained partitioning of a circuit.

舉例來說，一個在組合線路中的節點，它被執行的時間不能少於它作輸出

的時間。這暗示了一個DRFPGA分割中的切割，必須是單向切割。因此，確保節點執行順序的正確性，是有必要的。



圖三：優先限制分割

圖三展示了在DRFPGA中，分割為四個記憶平面的部份設計。假設一個頂點需要一個CLB；而一個內部連接需要一個MR。如此，圖三(a)所陳述的分割，它需要五個CLB和五個MR，而圖三(b)則只需用三個CLB和三個MR。因此，圖三(b)所陳述的分割方式是值得重視的。

針對內部連接、緩衝器、計時、DRFPGA的大小規模(CLB所需的數量)等各方面，我們意圖在此方案中發展一套通用的架構——它能處理各種在DRFPGA結構上的DRFPGA分割問題，像是：記憶平面強制分割、緩衝器最小分割、CLB強制分割、最少階段分割、可行性驗證問題等等。我們將在以下詳述我們的規劃。

四、研究方法

在這份計畫報告中，我們陳述了將通用的整合線性程式規劃用來處理多階優先限制分割之問題。

首先，我們對分割目標與限制這些較容易轉換為整合線性程式數學描述的

部分，進行數學描述。與現存可同時考量到優先限制與只在一些局部階段內的切割大小之大部分方法不同，以整合線性程式為基礎的方法可以同時地考慮到所有階段，因此，它對所給定的目標之最佳化擁有一個更具總體性的透視。

為了提昇效率，我們也提出了一個叢集方法來縮減問題大小；此叢集在執行時間與結果品質(可重組態邏輯模組和內部連接成本)間提供了一個交換。由運作在Xilinx時間多路傳輸現場可程式陣列架構下的實驗結果顯示，我們的方法優於 [15, 6, 8]。

而更重要的，在大規模的問題上，我們的演算法更為實用且可更佳地作延展。此外，我們的方法是非常具有彈性的，運用各種目標與限制，它可容易地延伸到分割問題上。

五、成果(Publications)

1. G.-M. Wu, J.-M. Lin, and Y.-W. Chang, "Generic ILP-Based Approaches for Time-Multiplexed FPGA Partitioning", in Proc. IEEE Transactions on Computer-aided Design of Integrated Circuits and Systems, Vol. 20, No10, pp. 1266—1274, October 2001.
2. G.-M. Wu, T.-C. M. Chao, and Y.-W. Chang., "A Clustering- and Probability-Based Approach for Time-Multiplexed FPGA Partitioning," submitted to IEEE Transactions on VLSI.

六、參考文獻

- [1] C. J. Alpert and S.-Z. Yao, "Spectral partitioning: The more eigenvectors, the better," *ACM/IEEE Design Automation conference*, pp. 195—200, San Francisco, CA, 1995.
- [2] N. B. Bhat, and K. Chaudhary, and E. S. Hah, "Performance-oriented fully routable dynamic architecture for a field programmable logic device," Memorandum No. UCB/RELM93/42, University of California, Berkeley, 1993.

- [3] F. Brglez, "ACM/SIGDA Design Automation Benchmarks: Catalyst or Anathema?," *IEEE Design and Test*, Sep., 1993, pp. 87—91.
- [4] J. Brown, et al. "DELTA: Prototype for a first-generation dynamically programmable gate array," Transit Note 112, MIT, 1995.
- [5] P. K. Chan, M. D. F. Schlag and J. Zien, "Spectral K-way Ratio Cut Partitioning and Clustering," *IEEE Trans on CAD*, 1994. pp. 1088—1096.
- [6] D. Chang and M. Marek-Sadowska, "Buffer minimization and Time-multiplexed I/O on Dynamically Reconfigurable FPGAs," *International Symposium on Field Programmable Gate Arrays*, Feb., 1997, pp. 142—148.
- [7] D. Chang and M. Marek-Sadowska, "Partitioning Sequential Circuits on Dynamically Reconfigurable FPGAs," *International Symposium on Field Programmable Gate Arrays*, Feb., 1998, pp.161—167.
- [8] M. Chao, et al., "A Clustering- and Probability-Based Approach for Time-Multiplexed FPGA Partitioning," *IEEE/ACM International Conference on Computer-Aided-Design*, Nov., 1999.
- [9] T. H. Cormen, C. E. Leiserson, and R. L. Rivest, *Introduction to Algorithms*, The MIT Press, 1990, pp. 978—983.
- [10] A. DeHou, "DPGA-coupled microprocessors: Commodity ICs for the early 21st century," in *IEEE Workshop on FPGAs for Custom computing Machines*, 1994.
- [11] S. Dutt and W. Deng, "Partitioning Using Second-Order Information and Stochastic-Gain Functions," in *Proc. International Symposium on Physical Design*, 1998.
- [12] C. M. Fiducia and R. M. Mattheyses, "A linear-time heuristic for improving network partitions", in *Proc. 19th Design Automation Conference*, 1982, pp. p175—181.
- [13] C. Y. Hitchcock III and D. E. Thomas, "A Method of Automatic Data Path Synthesis," in *proc. 20th Design Automation Conference*, 1983. pp. 484—488.
- [14] C. Y. Hitchcock III and D. E. Thomas, "A Method of Automatic Data Path Synthesis," in *proc. 20th Design Automation Conference*, 1983. pp. 484—488.
- [15] L. Hagen and A. B. Kahng, "Fast Spectral Methods for Ratio Cut Partitioning and Clustering," *IEEE/ACM International Conference on Computer Aided Design*, Feb., 1991, pp 10—13.
- [16] B. W. Kernighan and S. Lin, "An efficient heuristic procedure for partitioning graphs", *Bell System Tech. Journal*, vol. 49, 1970, pp. 291—307.
- [17] LINDO: Linear Interactive and Discrete Optimizer for linear, integer, and quadratic programming problems LINDO Systems, Inc., 1999.
- [18] H. Liu and D. F. Wong, "Network Flow Based Circuit Partitioning for Time-multiplexed FPGAs," *IEEE/ACM International Conference on Computer Aided Design*, Feb., 1998, pp 497—504.
- [19] Huiqun Liu and D. F. Wong, "Circuit Partitioning for Dynamically Reconfigurable FPGAs," *International Symposium on Physical Design*, April, 1999.
- [20] Y. Sankar and J. Rose, "Trading Quality for Compile Time: Ultra-Fast Placement for FPGAs," in *International Symposium on Field Programmable Gate Arrays*, 1999, pp. 157—166.
- [21] S. Trimberger, "A Time-Multiplexed FPGA," in *IEEE Workshop on FPGAs for Custom computing Machines*, 1997, pp. 22—28.
- [22] Xilinx, "The Programmable Logic Data Book," 1996.